

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09129844
PUBLICATION DATE : 16-05-97

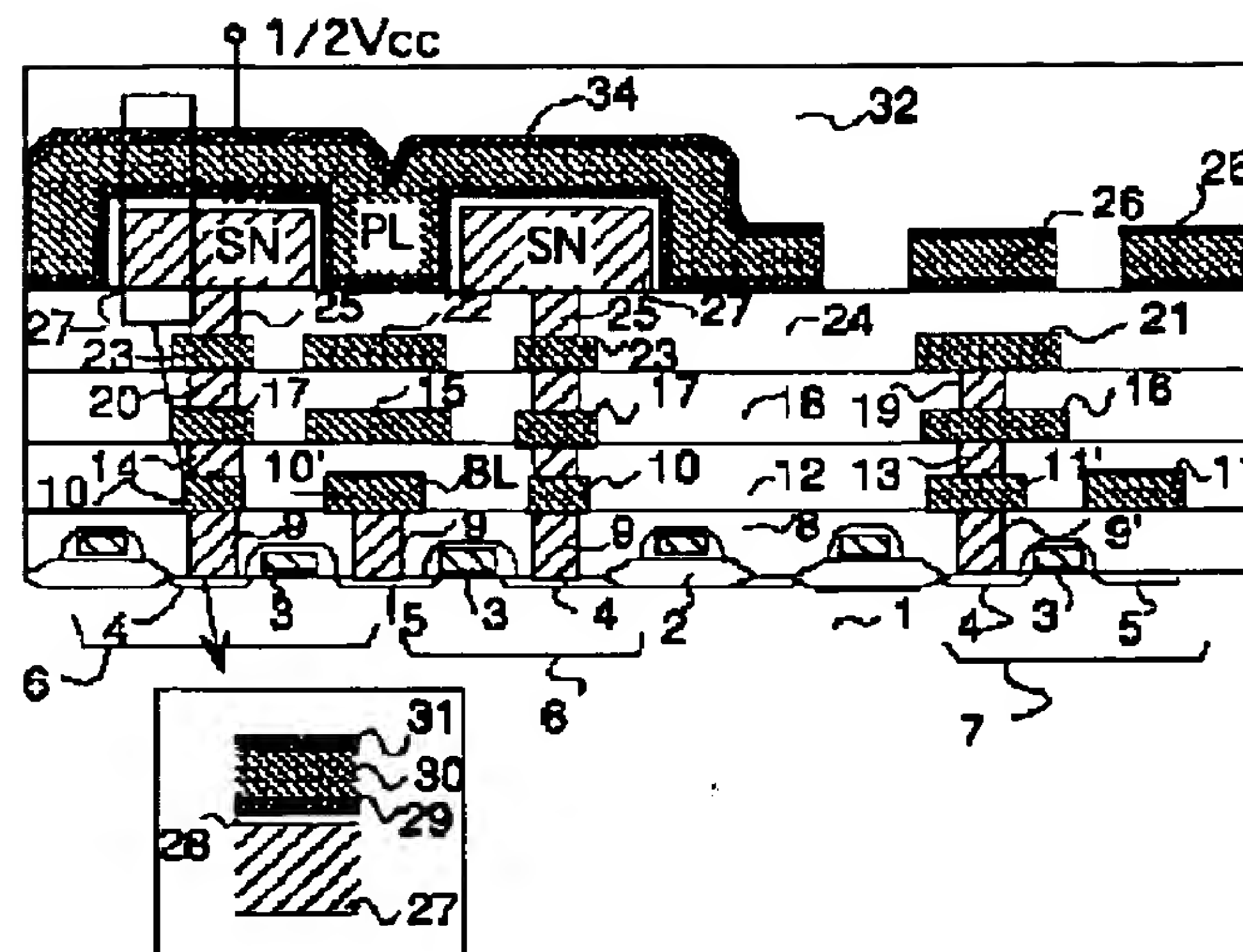
APPLICATION DATE : 27-10-95
APPLICATION NUMBER : 07280957

APPLICANT : HITACHI LTD;

INVENTOR : KAWAMOTO YOSHIFUMI;

INT.CL. : H01L 27/108 H01L 21/8242 H01L
21/3205 H01L 21/768

TITLE : SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE AND ITS
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To avoid imperfect exposure and electrical connection failure which are to be caused by a step-difference, without increasing the number of steps, by forming a capacitor on the uppermost layer of a plurality of metal wiring layers.

SOLUTION: Wirings from specified external circuits to the respective memory cells (e.g. word lines, bit lines, plate electrode wirings), and inner wirings of the respective memory cells (e.g. wirings between transistors and capacitors) are separately arranged in a plurality of metal wiring layers. At this time, e.g. after wirings 21, 22 and 23 of a third metal wiring layer 24 are formed, a flattened insulating layer of the third layer is formed by using the same processes as a first layer 12 and a second layer 18. After that, a connection plug 27 to a storage node 27 is formed. A capacitor is formed and the uppermost layer 32 of a wiring layer is formed. Thereby, memory cells and the wiring layer of a peripheral circuit can be formed on the same plane. Hence, a step- difference damage is not generated at the time of lithography.

COPYRIGHT: (C)1997,JPO

| (51)Int.Cl. ⁹ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|-------------------------------|---------|--------|---------------|---------|
| H 0 1 L | 27/108 | | H 0 1 L 27/10 | 6 2 1 C |
| | 21/8242 | | 21/88 | K |
| | 21/3205 | | 21/90 | A |
| | 21/768 | | 27/10 | 6 8 1 F |
| | | | | 6 8 1 B |
| 審査請求 未請求 請求項の数18 O L (全 15 頁) | | | | |

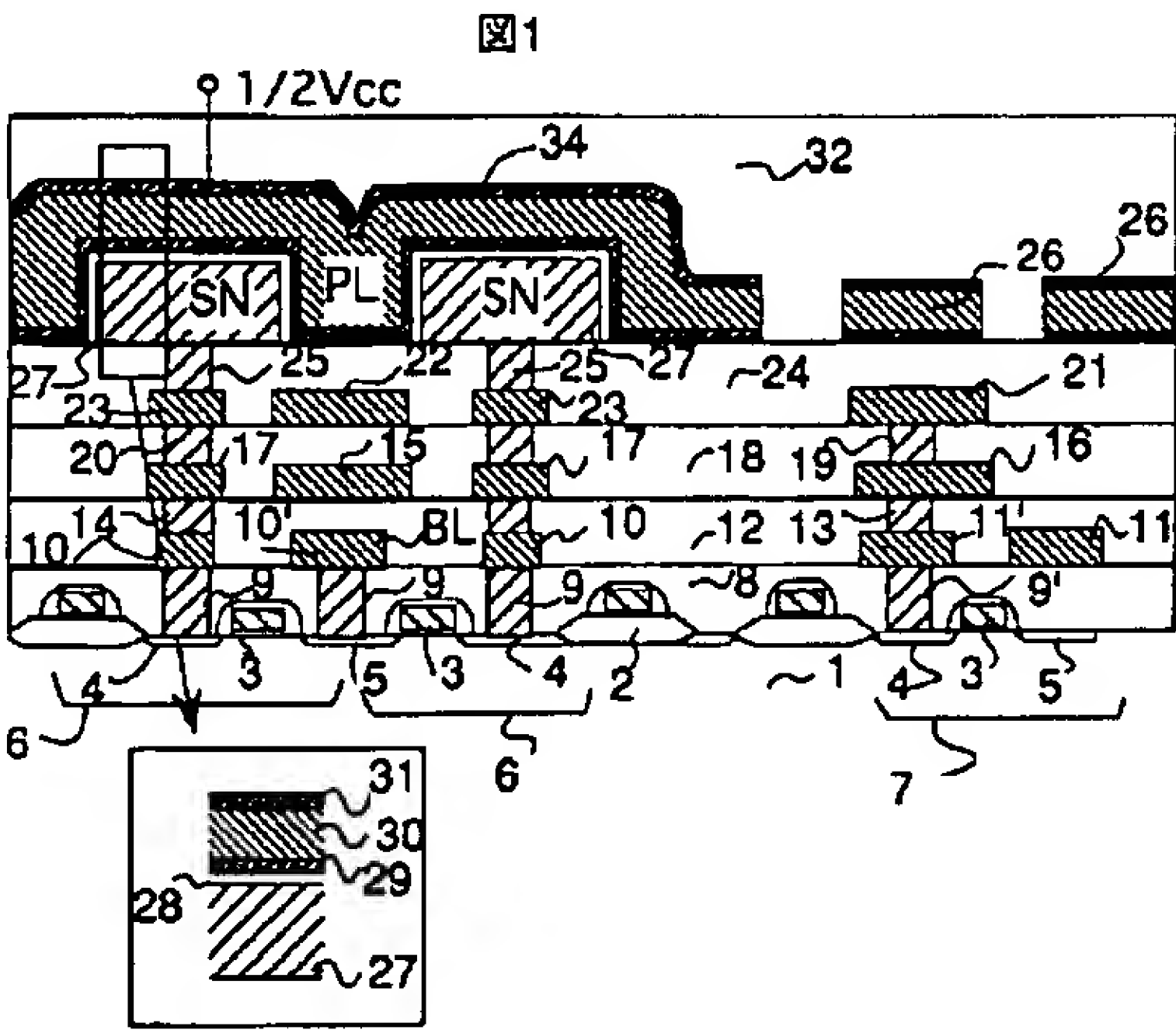
| | | | |
|----------|------------------|---------|--|
| (21)出願番号 | 特願平7-280957 | (71)出願人 | 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 |
| (22)出願日 | 平成7年(1995)10月27日 | (72)発明者 | 福田 琢也 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体事業部内 |
| | | (72)発明者 | 小林 伸好 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体事業部内 |
| | | (72)発明者 | 中村 吉孝 東京都小平市上水本町五丁目20番1号 株 式会社日立製作所半導体事業部内 |
| | | (74)代理人 | 弁理士 蔭田 利幸 |
| | | 最終頁に続く | |

(54)【発明の名称】 半導体集積回路装置及び当該装置の製造方法

(57)【要約】

【課題】工程数の増加を招くことなく段差の問題を回避することができる新規のメモリセル構造を提供すること。また、同一基板内の製造工程の共通部分を増大させる装置構造を提供すること。更に、工程数を増加せずに環境障害への対策を施すことが可能な装置構造を提供すること。

【解決手段】キャパシタを複数の金属配線層の最上層に形成したメモリセル構造を採用する。前記キャパシタは、前記最上層の下少なくとも一の金属配線層に形成した誘電体膜、ストレージノード及びプレート電極からなる補助キャパシタが接続されていることが望ましい。また、キャパシタのプレート電極でチップを被うことが望ましい。



- 1...P型シリコン基板

3...ゲート電極

4、5...拡散層

6、7...MOSトランジスタ

10...ビット線 (BL)

12、18、24、32...金属配線

9、9'、13、14、19、20、25...接続プラグ

10'、11、15、16、21、22、26...配線

10、11'、17、23...パッド
- 27...ストレージノード

28...誘電体膜

29、31...窒化チタン膜

30...アルミニウム膜

34...プレート電極 (PL)

【特許請求の範囲】

【請求項１】１個のゲート電極及び２個の拡散層（ドレイン領域及びソース領域）からなるＭＯＳ型電界効果トランジスタと、ストレージノードとプレート電極との間に誘電体膜を介在させてなる電荷蓄積用キャパシタとを組み合わせることによって構成した複数のメモリセルを半導体基板上にマトリックス状に配列し、所定の外部回路から個々のメモリセルに対する配線（例えばワード線、ビット線、プレート電極配線等）及び個々のメモリセルの内部配線（例えば前記トランジスタと前記キャパシタとの間の配線等）を複数の金属配線層内に区分して配設してなる半導体集積回路装置において、前記キャパシタは、前記複数の金属配線層の最上層に形成されていることを特徴とする半導体集積回路装置。

【請求項２】前記キャパシタは、前記最上層の下少なくとも一の金属配線層に形成した誘電体膜、ストレージノード及びプレート電極からなる補助キャパシタが接続されていることを特徴とする請求項１に記載の半導体集積回路装置。

【請求項３】前記キャパシタは、プレート電極がストレージノードを挟む構造をなしていることを特徴とする請求項１に記載の半導体集積回路装置。

【請求項４】前記キャパシタは、ストレージノードがプレート電極を挟む構造をなしていることを特徴とする請求項１に記載の半導体集積回路装置。

【請求項５】前記キャパシタのプレート電極は、メモリセルのほぼ全面を被っていることを特徴とする請求項１～請求項３のいずれかに記載の半導体集積回路装置。

【請求項６】前記キャパシタのプレート電極は、半導体集積回路装置のほぼ全面を被っていることを特徴とする請求項１～請求項３のいずれかに記載の半導体集積回路装置。

【請求項７】前記キャパシタ及び前記補助キャパシタの少なくともいずれかは、誘電体膜がストレージノード及びプレート電極の装置平面にほぼ垂直方向の側面によって挟まれた構造をなしていることを特徴とする請求項２に記載の半導体集積回路装置。

【請求項８】前記複数のメモリセルによって構成されるＤＲＡＭ（Dynamic Random Access Memory）に論理回路が混在し、同ＤＲＡＭと論理回路が金属配線層を共有していることを特徴とする請求項１～請求項７のいずれかに記載の半導体集積回路装置。

【請求項９】前記キャパシタ及び前記補助キャパシタの少なくともいずれかのプレート電極の厚さ方向の構造は、同プレート電極が形成されている金属配線層における論理回路の配線の厚さ方向の構造と一致していることを特徴とする請求項８に記載の半導体集積回路装置。

【請求項１０】前記ストレージノードは、少なくともタングステンを含む材料からなることを特徴とする請求項１～請求項９に記載の半導体集積回路装置。

【請求項１１】前記プレート電極は、少なくともチタンを含む材料からなることを特徴とする請求項１～請求項９に記載の半導体集積回路装置。

【請求項１２】メモリセルを構成する前記ＭＯＳトランジスタの拡散層と論理回路を構成するＭＯＳトランジスタの拡散層の上に少なくともタングテンを含む材料からなる金属膜が形成されていることを特徴とする請求項８又は請求項９に記載の半導体集積回路装置。

【請求項１３】最上層の金属配線層に形成した最終保護膜の高さが、ＤＲＡＭ部位と論理回路部位とでほぼ同一であることを特徴とする請求項８又は請求項９に記載の半導体集積回路装置。

【請求項１４】ＤＲＡＭの配線と論理回路の配線を同一のマスクを用いて同時に形成する工程を有することを特徴とした請求項８に記載の半導体集積回路装置の製造方法。

【請求項１５】最上層に形成されるＤＲＡＭの前記プレート電極と論理回路のプレート電極を同一のマスクを用いて同時に形成する工程を有することを特徴とした請求項８に記載の半導体集積回路装置の製造方法。

【請求項１６】前記プレート電極の少なくとも一部をストレージノードが露出するまで削除する工程を用いて形成することを特徴とした請求項７に記載の半導体集積回路装置の製造方法。

【請求項１７】前記上面を削除する工程に研磨法を用いたことを特徴とする請求項１６に記載の製造方法

【請求項１８】最上層の前記プレート電極をもって放射線保護膜となすことを特徴とする請求項５又は請求項６に記載の半導体集積回路装置

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、ＤＲＡＭ（Dynamic Random Access Memory）を備えた半導体集積回路装置及び当該装置の製造方法、特に大規模集積回路をもって構成する場合に適用して好適な半導体集積回路装置及び当該装置の製造方法に関する。

【０００２】

【従来の技術】半導体集積回路装置のなかでも、ＤＲＡＭの集積化の進展は著しい。また、ＤＲＡＭに論理回路を混在させた高機能の集積回路装置の実用化が進んでいる。ＤＲＡＭは、半導体基板上に行及び列のマトリックス状に配列した複数のメモリセルによって構成される。同メモリセルは、情報を記憶するための電荷蓄積用キャパシタと、キャパシタへの電荷の入出力を制御するＭＯＳ型電界効果トランジスタ（以下「ＭＯＳトランジスタ」という）とからなる。

【０００３】キャパシタは、誘電体膜を二つの電極膜で挟んだ構造をなし、ＭＯＳトランジスタは、ゲート電極と二つの拡散層（ドレイン領域及びソース領域）からなる。キャパシタの一方の電極膜は、ＭＯＳトランジスタ

の一方の拡散層に接続され、キャパシタの他方の電極膜は、定電圧電源に接続される。ゲート電極に与えられる電圧によってMOSトランジスタの導通、非導通が制御され、導通時に他方の拡散層から電荷がキャパシタに供給されて書込が行なわれ、別の導通時にキャパシタに蓄積された電荷が同他方の拡散層から取り出される。

【0004】このようなメモリセルの複数個からなるDRAMは、ゲート電極の相互間を行ごとに個別のワード線によって接続し、他方の拡散層の相互間を列ごとに個別のビット線によって接続することにより構成される。また、DRAMにおいてメモリセルを制御するための周辺回路が設けられる。ワード線、ビット線やメモリセルの内部配線のほか、メモリセルと周辺回路の間の配線が金属配線層によって形成される。DRAMの容量が大きくなるに伴い、配線層の層数が増大する。キャパシタは、そのような複数の配線層の中間の層の内部に形成されている。

【0005】DRAMの記憶容量を大きくして高集積化するに伴い、各部が微小になり、キャパシタについては、その投影面積(集積回路の上面から見た面積)が減少する。一方、キャパシタは、ある程度の容量値を確保する必要があるため、誘電率の高い材料を採用したり、誘電体層を薄くするほか、キャパシタの実質面積を増やすことが行なわれる。前二者には限界があるため、投影面積を増やさずに実質面積を増やす様々な工夫がなされている。面積増大のため、キャパシタを配置する配線層の厚さを増やして、キャパシタを高さ方向を利用して形成することが多く行なわれている。その例として、クラウン構造(筒状構造)やフィン構造のほか、多層型等がある。

【0006】しかし、キャパシタが形成されるキャパシタ層の厚さが増大するために、メモリセル部とキャパシタがない周辺回路との間で段差が生じることが避けられない〔例えば日経BP社発行誌「日経マイクロデバイス」第117号第42頁～第44頁(1995年3月)参照〕。段差を有する構造の一般的な例を図22に示した。同例は、メモリセルのMOSトランジスタ6と周辺回路のトランジスタ7からなる。両者のゲート電極3が形成されるパッシベーション層8の上に4層の配線層12, 18, 24, 32が形成されている。

【0007】キャパシタが2層目18にクラウン構造で形成されている。同キャパシタは、同図下の拡大図に示したように、誘電体膜28を下側の金属膜(以下「ストレージノード(SN)」という)27と上側の金属膜(以下「プレート電極(PL)」という)34で挟んで形成される。なお、ストレージノード27は、プラグ9, 14及びパッド10を介してMOSトランジスタ6の拡散層4に接続され、プレート電極34は、2層目18, 3層目24のプラグと3層目のパッドを介して4層目32の定電圧供給の配線62に接続されている。

【0008】以上の従来例では、キャパシタがクラウン構造で高さが必要になるため、メモリセル領域と周辺回路領域に段差がある。段差がある程度以上に大きくなると、その後のリソグラフィ処理の際に、所定形状の配線パターンを形成することが困難になるという問題点があった。その原因は、露光装置の焦点深度にある。段差が焦点深度の許容範囲を越える場合、段差がある部分では焦点がずれて光量が落ち、露光不足を招いて所定の形状が形成されない。特に、段差が1 μ mを越えるとその問題が顕著になる。

【0009】これを防ぐために、全面に犠牲膜を形成し、同膜をエッチング又は研磨して段差量を低減する方法が採用される場合がある。しかし、その場合に工程数が増加する問題のほか、接続穴を形成した場合に、金属膜に至る深さが段差がある部分と無い部分とで異なるため、エッチングの過剰領域と不足領域の両方が発生する問題がある。特に穴が深い部分では、エッチング不足や、導電材の充填不良による配線の導通不良が発生するという問題が避けられない。段差の問題は、DRAMと論理回路を混在させた半導体集積回路装置についても当然同様に発生する。

【0010】次に、キャパシタは、前記したように、微細化に伴って構造が複雑化しているが、そのために、工程数の増大を招き、製造コストを増大させる主要原因になるという問題点があった。加えて、キャパシタが配置される層でキャパシタと周辺回路の配線や論理回路の配線とがそれぞれ別の工程を使って形成されるので、それぞれが単独で形成されるよりも工程数が著しく増大するという問題点があった。工程数の増加は、歩留まりの低下を招く。

【0011】なお、放射線(α 線)等によるソフトエラーへの対策として、チップを有機系放射線保護膜で塗布する(1989年1月日経BP社発行徳山巍他著「VLSI製造技術」第25頁参照)ほか、ホットキャリアストレス電圧をチップに印加する等の方法がある。前者では、コーティングのための工程が別に必要になり、後者では、電圧を印加する電極の形成のために製造工程が増えるとともに、印加した後の電荷移動や放電等の経時変化によりその効果が減少する問題点があった。また、両者とも誘導雑音等の他の環境障害には効果がない。

【0012】

【発明が解決しようとする課題】本発明の第1の目的は、工程数の増加を招くことなく段差の問題を回避することができる新規のメモリセル構造を提供することにある。

【0013】また、本発明の第2の目的は、同一基板内の製造工程の共通部分を増大させる装置構造を提供することにある。

【0014】更に、本発明の第3の目的は、工程数を増加せずに環境障害への対策を施すことが可能な装置構造

を提供することにある。

【0015】

【課題を解決するための手段】本発明の前記課題は、キャパシタを複数の金属配線層の最上層に形成したメモリセル構造によって効果的に解決することができる。最上層以外の各々の配線層の厚さがほぼ同一になって、メモリセル部と周辺回路の配線を同時に共通に加工することが可能になるほか、最上層においては接続穴の加工がないので段差があってもキャパシタのプレート電極と周辺回路の配線を同時に共通に加工することが可能になるからである。製造工程の共通化は、DRAMと論理回路を混在させた装置においても同様に実現することができる。

【0016】また、メモリセル部では、キャパシタを最終配線工程以降に形成するため、配線層間の接続穴のレイアウトを考慮する必要がなく、メモリセルのほぼ全平面を利用してキャパシタを形成することが可能になる。そのような利用によってキャパシタ面積が増加するため、キャパシタとして、誘電体層を平面状のストレージノードとプレート電極の2層で挟んだ単純な構造（プレーナ型）を採用することができる。

【0017】更に、プレート電極は、全キャパシタに共通の定電圧供給用になるので、メモリセル部のほか周辺回路を含めてチップのほぼ全面を同電極で被うことが可能となる。一方、プレート電極は金属で形成されるので、同電極によって放射線やノイズとなる外来電磁波等が遮断され、チップ全体が保護される。以上によって、工程数を増加せずに環境障害への対策を施すことが可能となる。また、DRAMと論理回路を混在させた装置でも、論理回路の最上層に電源供給用のプレート電極を設け、同電極を論理回路の全面を被うことによって論理回路の環境障害の耐性向上が達成される。

【0018】なお、前記キャパシタの単体で容量が不足する場合には、最上層の下配線層に補助のキャパシタを形成することが望ましい。補助キャパシタの高さを周辺回路及び論理回路の配線とほぼ同じ高さとすることによって、段差の問題が回避される。そのような補助キャパシタは、後で詳述するが、平面状の構造やストレージノード及びプレート電極の側面利用の構造によって実現することができる。

【0019】

【実施例】以下、本発明に係る半導体集積回路装置及び当該装置の製造方法を図面に示した幾つかの実施例を参照して更に詳細に説明する。なお、図1～図23における同一の記号は、同一物又は類似物を表示するものとする。

【0020】＜実施例1＞図1に二つのメモリセルと周辺回路の一部の断面構造を示す。同図において、1はP型シリコン基板、2はフィールド酸化膜、3はゲート電極、4、5は、拡散層、6は、メモリセル部を構成する

トランジスタ、7は、周辺回路を構成するMOSトランジスタ、8は、各MOSトランジスタを保護するためのパッシベーション絶縁層、12、18、24、32は、それぞれ、第1、第2、第3、第4の金属配線層、9、14、20、25は、メモリセル部の層間接続用のプラグ、10、17、23は、メモリセル部の接続用パッド、10'はビット線（BL）、15、22は、メモリセル部の配線、9'、13、19は、周辺回路の相互接続用のプラグ、11'は周辺回路の接続用パッド、11、16、21、26は周辺回路の配線、27は、キャパシタのストレージノード（SN）、34は、キャパシタのプレート電極（PL）を示す。

【0021】図2にメモリセル部の上面図（分解図）を示す。一つのメモリセルが面SAで囲った部分に形成され、キャパシタが投影面CAの範囲に形成される。同図に、ワード線WLを列方向に3線、ビット線BLを行方向に1線を示し、ストレージノード（SN）接続部を2か所、ビット線（BL）接続部を1か所示した。本実施例では、DRAMのメモリ容量を256Mbitとし、キャパシタがなす投影面の大きさx、yをそれぞれ0.85μm、0.65μmとした。

【0022】次に、図1を用いてメモリセルの形成方法について述べる。まず、P型シリコン基板1に選択酸化法によりフィールド酸化膜2を形成し、所定の場所にゲート電極3及び拡散層4、5からなるトランジスタ6と隣接するトランジスタ7を形成した。トランジスタ6及びトランジスタ7の間にフィールド酸化膜2が配置される。次に、基板1の全面に絶縁膜（燐と硼素を含有させた酸化珪素膜）を形成し、熱処理を施してリフロー（粘性流動）を呈する形状を作った。これにより、トランジスタ群6、7と、フィールド酸化膜2に基づく段差が軽減される。更に、段差をの軽減を進めるために、化学的機械的研磨を施した。以上により、平坦化したパッシベーション絶縁層8を形成した。

【0023】続いて同絶縁層に接続穴を開け、ビット線（BL）10'への接続プラグ9及びストレージノード（SN）27へ連結のための接続プラグ9、及び周辺回路配線16、21へ連結のための接続プラグ9'（両プラグの主材質はタングステンを使用した、ポリシリコンの使用が可能である）を形成した。次に、ビット線10'、ストレージノード27への連結のためのパッド10及び配線16、21へのパッド11'と配線11を形成した。このとき、ビット線10'、パッド10、11'及び配線11は、TiN/Al/TiN積層の同一構造で同時に形成した。この第1の金属配線層12のパッド及び配線を形成後、続いて、プラズマCVD法（Chemical Vapor Deposition）により絶縁膜〔主材質は二酸化珪素（SiO₂）〕を全面に形成し、さらに、化学的機械的研磨を施して同絶縁膜を平坦化した。

【0024】続いて、同絶縁膜に接続穴を開けて、パッ

ド17への接続プラグ14及び配線16への接続プラグ13(両プラグの主材質はタングステン)を形成した。次に、第2層目の金属配線層18の配線15、16と、パッド17を形成してから、前述したのと同じ方法により、第2層目の平坦化絶縁膜を形成した。

【0025】続いて、同絶縁膜に接続穴を開けて配線21への接続プラグ19、パッド23への接続プラグ20を形成した。次に、第3層目の金属配線層24の配線21、22及びパッド23を形成してから、前記と同じ手順で、第3層目24の平坦化絶縁膜を形成した。その後、ストレージノード27への接続プラグ25を形成した。

【0026】次に、キャパシタを以下の手順で形成して配線層の最上層32を形成した。

1. タングステン(W)をスパッタ法(他にCVD法が可能である)で厚さ0.50 μm に成膜し、
2. フトリソグラフィにより露光、現像を行ない、
3. ドライエッチングにより、接続プラグ25上に0.7 μm ×0.5 μm の寸法のストレージノード27を形成した。この寸法により、ストレージノード27は、隣接するストレージノードと0.3 μm 離れる。
4. 五酸化タンタル(Ta_2O_5)をCVD法で成膜し、
5. フトリソグラフィにより露光、現像を行なった。この際のフトリソグラフィでは、焦点を配線層24の平坦化絶縁膜上の五酸化タンタル膜に合わせるだけで良い。
6. ドライエッチングにより、必要部以外を除去し、図1下部の拡大図に示したキャパシタの誘電体膜となる五酸化タンタル膜28を形成した。
7. 下層の配線層8、12、18、24の形成法と同じ手順で、窒化チタン(TiN)膜29を形成し、
8. その上にアルミニウム(Al)膜30を形成し、
9. その上に再び窒化チタン膜31を形成した。
10. フトリソグラフィにより露光、現像を行なった。この際のフトリソグラフィでも、段差上の配線材に、後に接続穴を開けることがないので、焦点を窒化チタン膜31の上に合わせるだけで良い。
11. ドライエッチングにより、 $\text{TiN}/\text{Al}/\text{TiN}$ 積層構造の配線を形成した。

【0027】ただし、ストレージノード27上の配線はプレート電極(PL)34となり、周辺回路上では配線26になる。即ち、キャパシタのプレート電極34と周辺回路の配線26は、同一マスクを用いて同時に形成される。なお、同プレート電極34に対して電源電圧 V_{cc} の1/2の定電圧が供給される。上述のキャパシタ面積は、1.55 μm^2 で、酸化珪素膜厚換算で1.6nmの五酸化タンタルを用いているため、キャパシタ容量は22fF(フェムトファラド)である。この容量は、256Mbitに必要なキャパシタ容量と一致している。

【0028】工程数は以上の11である。これに対し

て、図22に示した従来例は、20工程を必要としている。これは、キャパシタに複雑な工程が必要になることと、配線26の形成のためにキャパシタ形成後に別の工程が必要になるためである(従来例の工程の詳細を纏めて後述する)。

【0029】本発明の特徴を従来技術と比較してまとめて以下に記す。

1) キャパシタを最上層で形成したため、メモリセルと周辺回路の配線層を同一平面上で形成できる。そのため、リソグラフィ時に段差障害が生じない。

2) キャパシタを最上方で形成したため、メモリセル面一杯をキャパシタ領域として利用できる。そのため、簡易なキャパシタ構造で容量を確保することが可能になるとともに、その工程数を低減化することができる。また、プレート電極34への接続穴形成がないので、リソグラフィ時に段差障害が起きない。

【0030】3) キャパシタのプレート電極34を周辺回路の配線26と同時に形成するので工程数の低減が可能となる。

【0031】上述の特徴は、256MbitのDRAMについてであるが、当然64MbitのDRAMに対しても、また、1Gbit以降のDRAMに対しても同じ特徴を得ることができる。

【0032】以下に、図22に示した従来例のキャパシタ製造工程及び同キャパシタを配置した配線層18の製造工程を記す。なお、DRAMの記憶容量は本実施例と同じく256Mbitである。

- 【0033】1. タングステンをCVD法で厚さ0.2 μm に堆積し、
2. フトリソグラフィにより露光及び現像を行ない、
 3. ドライエッチングにより、ストレージノード27の下部電極を形成した。次に、ストレージノード27の側面電極を形成するために、
 4. 厚さ0.3 μm の二酸化珪素膜を堆積させ、
 5. フトリソグラフィにより露光及び現像を行ない、
 6. ドライエッチングにより0.4 μm ×0.4 μm 寸法の柱状の二酸化珪素膜のブロックを形成する。この上に、
 7. タングステン膜をCVD法で形成し、
 8. エッチバックにより、二酸化珪素ブロック側壁にサイド電極を形成し、
 9. 二酸化珪素膜を除去する。
 10. 五酸化タンタルをCVD法を用いて堆積し、
 11. フトリソグラフィにより露光及び現像を行ない、
 12. ドライエッチングにより必要部分の五酸化タンタル膜以外を除去しての誘電体膜28を形成し、
 13. 厚さ0.1 μm の窒化チタン膜を全面に堆積し、
 14. プレート電極34の引出部をフトリソグラフィによりレジストで被い、

15. エッチバックを施すことでプレート電極34を形成し、接続プラグ14上に $0.5\mu\text{m}\times 0.5\mu\text{m}$ 寸法のキャパシタを形成する。

16. その後、周辺回路の配線16を形成するために窒化チタン膜を堆積し、

17. アルミニウム膜を堆積し、

18. 窒化チタン膜を堆積し、

19. フォトリソグラフィにより露光及び現像を行ない、

20. ドライエッチングにより、TiN/Al/TiN積層構造の配線16を形成する。以上のように、周辺回路の配線形成終了までに20工程必要である。

【0034】<実施例2>DRAMの第2の例を実施した。図3にその構造を示す。実施例1と相違する点は、キャパシタの誘電体膜を五酸化タンタルから、より誘電率の高い、ジルコニウムを含有させたチタン酸鉛(PZT)に変えて、キャパシタ構造を側面を利用しない単純なプレーナ型にした点、及びキャパシタのプレート電極を周辺回路部まではほぼ全面を被覆した点にある。本構造は、キャパシタ形成以前の第3層目の配線層24形成までは、実施例1と同じ製造方法によって形成するので説明を省略する。

【0035】キャパシタの製造工程は、以下の通りである。

1. 白金(Pt)をスパッタ法で厚さ $0.1\mu\text{m}$ に堆積し、
2. フォトリソグラフィより露光、現像を行ない、
3. ドライエッチングにより、接続プラグ25上に $0.7\mu\text{m}\times 0.5\mu\text{m}$ の寸法のストレージノード(SN)27を形成した。この寸法により、ストレージノード27は、隣接するストレージノードと $0.3\mu\text{m}$ 離れる。
4. 前記チタン酸鉛を有機金属を用いたCVD法で堆積し、
5. フォトリソグラフィより露光、現像を行ない、
6. ドライエッチングにより、必要部以外を除去し、図3下部の拡大図に示したキャパシタの誘電体膜となるチタン酸鉛膜33を形成した。
7. その上に白金膜34を形成し、
8. フォトリソグラフィより露光、現像を行ない、
9. ドライエッチングにより、プレート電極(PL)34を形成した。

【0036】上述のキャパシタ面積は、 $0.35\mu\text{m}^2$ で、酸化珪素膜厚換算で 0.36nm のチタン酸鉛を用いているため、キャパシタ容量は 22fF である。この容量は 256Mbit に必要なキャパシタ容量である。このように、誘電率が高い誘電膜を用い、キャパシタを最上層でメモリセル面一杯をキャパシタ領域として利用することにより、構造が簡単なプレーナ型のキャパシタを用いることが可能となり、従って工程数を更に低減することができた。また、キャパシタを薄い構造としたの

で、段差が殆どない平坦な最終保護膜(パッシベーション膜)を形成することができた。

【0037】なお、プレート電極を用いてチップ上を色々な面積比の割合で被覆したDRAMを作製して、放射線(α 線)障害発生率を調べた。結果を第4図に示す。図22に示した従来型DRAMの被覆率は30%である。従来型がほとんど損傷を受ける過酷な放射線雰囲気でも、プレート電極でメモリセル全域が被われるようになると(被覆率45%以上)、著しい耐性を得ることができると判明した。

【0038】従来では、上記放射線障害を避けるため、チップ保護膜として、有機保護膜の形成が必要であった。プレート電極でメモリセル全域を被う構造とすると、上記有機保護膜の形成が不必要となる。

【0039】<実施例3>DRAMの第3の例を実施した。図5にその構造を示す。実施例2と相違する点は、キャパシタの誘電体膜を有機金属CVD法によるチタン酸鉛(実効膜厚 $0.36\mu\text{m}$)から、より簡便なスパッタ法で形成したチタン酸鉛(実効膜厚 $0.50\mu\text{m}$)に換えることにより、キャパシタ構造を二段のプレーナ型にした点にある。そのため、プレート電極(PL)を上下の二段(35, 34)にし、その間にストレージノード(SN)27を挟んで配置した。本構造は、キャパシタ形成以前の第3層目の配線層24形成までは、実施例1と同じ製造方法によって形成するので説明を省略する。

【0040】キャパシタの製造工程を図6を用いて以下に説明する。

1. プレート電極35用に白金をスパッタ法で厚さ $0.1\mu\text{m}$ に堆積し、
2. フォトリソグラフィにより露光、現像を行ない、
3. ドライエッチングにより、ストレージノード27の接続プラグ25の隣に、 $0.7\mu\text{m}\times 0.5\mu\text{m}$ の寸法の下部プレート電極35を形成し(図5下部の拡大図を合わせて参照)、
4. スパッタ法で、チタン酸鉛膜33'を堆積させ、
5. フォトリソグラフィにより露光、現像を行ない、
6. ドライエッチングにより、必要部以外を除去した。
7. ストレージノード27用の白金膜をスパッタ法で形成し、
8. フォトリソグラフィにより露光、現像を行ない、
9. ドライエッチングにより、接続プラグ25に接続させながら、 $0.7\mu\text{m}\times 0.5\mu\text{m}$ の寸法のストレージノード27を形成した。
10. スパッタ法で、チタン酸鉛膜33'を堆積させ、
11. フォトリソグラフィにより露光、現像を行ない、
12. ドライエッチングにより、必要部以外を除去した。
13. プレート電極34用にスパッタ法で白金膜を堆積し、
14. フォトリソグラフィにより露光、現像を行ない、

15. ドライエッチングにより、プレート電極34を先に形成したプレート電極35に接続しながら形成した。

【0041】なお、キャパシタの断面の拡大図を図5の下部に示した。上述のキャパシタ面積は、上下層合わせて $0.5\mu\text{m}^2$ であり、酸化珪素膜厚換算で 0.5nm のチタン酸鉛膜を用いているため、キャパシタ容量は 22fF である。この容量は、 256Mbit に必要なキャパシタ容量である。このように誘電率が高い誘電膜を用い、キャパシタを最上層32に形成してメモリセル面のほぼ全面を活用できるようにした。そのため、工程数を増やすことなく、簡易なプレーナ型の二段キャパシタで所定の容量を満たすことが可能となった。

【0042】また、本実施例で示したように、ストレージノード27をプレート電極34、35で挟む構造を取ることによって、高さ方向に単純な構造で広い面積を得ることが可能となった。もちろん、二段に分けるのをストレージノードの方にし、プレート電極を二段のストレージノードで挟む構造としても同様の効果を得ることができる。

【0043】＜実施例4＞DRAMの第4の例を実施した。図7にその構造を示す。実施例3と相違する点は、補助のキャパシタを最上層32の直下の配線層24に形成し、主及び補助キャパシタともプレーナ型とし、両キャパシタを接続プラグで連結した点、及び両キャパシタのプレート電極34、37を、同層に位置している周辺回路の各配線21、26とそれぞれ同一のマスクを用い、同時に形成した点にある。本構造は、キャパシタ形成以前の第2層目の配線層18形成までは、実施例1と同じ製造方法によって形成するので説明を省略する。

【0044】補助キャパシタの製造工程を図7を用いて以下に説明する。

1. 配線層24に形成する下部のストレージノード(SN)36用に白金をスパッタ法で厚さ $0.1\mu\text{m}$ に堆積し、
2. フォトリソグラフィにより露光及び現像を行ない、
3. ドライエッチングにより、接続プラグ20の上に、 $0.7\mu\text{m}\times 0.5\mu\text{m}$ の寸法の下部ストレージノード36を形成し、
4. スパッタ法で、チタン酸鉛膜33'を堆積し、
5. フォトリソグラフィにより露光及び現像を行ない、
6. ドライエッチングにより、必要部以外を除去した。
7. 下層24のプレート電極(PL)37及び配線21の材料となる窒化チタンをスパッタ法で堆積し(図7下部の拡大図参照)て窒化チタン膜9を形成し、
8. アルミニウムをスパッタ法で堆積して、アルミニウム膜30を形成し、
9. 再び窒化チタンをスパッタ法で堆積して窒化チタン膜31を形成し、
10. プレート電極37用と配線21用を兼ねたフォトリソグラフィにより露光及び現像を行ない、

11. ドライエッチングにより、最上層32のキャパシタのストレージノード27用の接続プラグ25部分に穴を開けながら、 $0.3\mu\text{m}\times 0.5\mu\text{m}$ の寸法の下部プレート電極37と、周辺回路の配線21を形成した。その後の工程は実施例1の製造とほぼ同じである。工程の内容で異なる点は、キャパシタに用いる誘電体の膜材料とキャパシタ形状(フォトリソグラフィ、ドライエッチングの適用箇所が異なる)である。工程数は、同じである。

【0045】上述のキャパシタ面積は、上下合わせて $0.50\mu\text{m}^2$ で、酸化珪素膜厚換算で 0.5nm のチタン酸鉛を用いているため、キャパシタ容量は、 22fF である。この容量は、 256Mbit に必要なキャパシタ容量である。実施例1に示した例と比較すると、5工程増えるが、従来法よりは少ない。これは、キャパシタ金属層の1部を配線層構造と一致させて同時に形成しているためである。また、誘電率が高い膜を用いたため、キャパシタの構造を簡易なプレーナ型にすることができた。以上により、工程数を増やすことなく、簡便で量産には最適なスパッタ法を用いて、簡易なプレーナ型の二層のキャパシタで容量を満たすことが可能となった。また、最上層32のキャパシタと周辺回路の配線26の高さがほぼ等しく、段差が殆どないため、最終保護膜を平坦に形成することができた。

【0046】＜実施例5＞DRAMの第5の例を実施した。図8にその構造を示す。実施例4と相違する点は、補助のキャパシタを省略した点と、プレート電極34をメモリセル部の全面に形成した点にある。これにより、実施例2の場合と同様に、環境障害に対する耐性が向上する。その他に、最上層32に形成する絶縁膜を容易に形成することが可能となる効果がある。実施例4のように、プレート電極を各メモリセルにごとに分けて加工することができるが、プレート電極は、定電圧供給を受けるものであるため個々に分けて、共通化することが可能である。分けて加工した場合に実施する、空いたスペースへの絶縁膜充填を省略することができる。

【0047】＜実施例6＞DRAMの第6の例を実施した。図9にその構造を示す。実施例1と相違する点は、補助キャパシタを採用して、同キャパシタを最上層32の直下に形成し、上下のキャパシタを接続プラグで連結した点、及び補助キャパシタのプレート電極37を、同層に位置している周辺回路の配線21と同一マスクを用い、同時に形成した点である。本構造は、キャパシタ形成以前の第2層目の配線層18までは、実施例1と同じ製造方法によって形成するので説明を省略する。

【0048】補助キャパシタの製造工程を図10を用いて以下に説明する。

1. 補助キャパシタのストレージノード(SN)用にタングステンをスパッタ法で厚さ $0.5\mu\text{m}$ に堆積し、
2. フォトリソグラフィにより露光及び現像処理を行な

タの誘電体膜を五酸化タンタルから、より誘電率の高い、ジルコニウムを含有させたチタン酸鉛(PZT)に変えて、キャパシタ構造をプレーナ型(平坦型)にした点、及びキャパシタのプレート電極を周辺回路部まではほぼ全面を被覆した点にある。本構造は、キャパシタ形成以前の第3層目の配線層24形成までは、実施例8と同じ製造方法によって形成され、第4層目のキャパシタは、実施例2とほぼ同様の製造方法によって形成される。

【0059】相違点は、プレート電極の形成の際に、マスクのパターンを変えて、論理回路に独立のプレート電極(電源電圧Vccが供給される)を形成した点にあるが、キャパシタのプレート電極と論理回路のプレート電極は、同時に形成される。そのほかについては、実施例2と同じであるので説明を省略する。

【0060】また、放射線に関しても、実施例2の場合と同様、高い耐性を得ることができた。

【0061】<実施例10>DRAMと論理回路を混在させた半導体集積回路装置の第3の例を実施した。図15にその構造を示す。実施例9と相違する点は、キャパシタの誘電体膜を有機金属CVD法によるチタン酸鉛(実効膜厚0.36 μ m)から、より簡便なスパッタ法で形成したチタン酸鉛(実効膜厚0.50 μ m)に換えて、キャパシタ構造を二段のプレーナ型にした点にある。そのため、プレート電極(PL)を上、下の二段(35, 34)にし、その間にストレージノード(SN)27を配置した。本構造は、キャパシタ形成以前の第3層目の配線層24形成までは、実施例8と同じ製造方法によって形成され、第4層目32のキャパシタは、実施例3と同じ製造方法によって形成されるので説明を省略する。

【0062】本実施例も実施例3の場合と同様、工程数を増やすことなく、簡易なプレーナ型の二段キャパシタを実現することができた。なお、本実施例においてもプレート電極を二段のストレージノードで挟む構造を採用することが可能である。

【0063】<実施例11>DRAMと論理回路を混在させた半導体集積回路装置の第4の例を実施した。図16にその構造を示した。実施例10と相違する点は、補助のキャパシタを最上層32の直下の配線層24に形成し、主及び補助キャパシタともプレーナ型とし、両キャパシタを接続プラグで連結した点、及び両キャパシタのプレート電極34, 37を、同層に位置している論理回路の各配線26, 21とそれぞれ同一マスクを用い、同時に形成した点、更に、論理回路にローカル配線46を施した点にある。ローカル配線46は、トランジスタ7上のタングステン膜45の所定の部分にチタンシリサイド(TiSi₂)によって形成した。

【0064】本構造は、キャパシタ形成以前の第2層目の配線層18形成までは、ローカル配線46の形成のほ

かは実施例8と同じ製造方法によって形成されるとともに、第3層目24, 第4層目32のキャパシタは、実施例4とほぼ同じ製造方法によって形成されるので説明を省略する。

【0065】実施例4の場合と同様、工程数の増加を招くことなく、簡易なプレーナ型の二層のキャパシタを実現することができた、

<実施例12>DRAMと論理回路を混在させた半導体集積回路装置の第5の例を実施した。図17にその構造を示す。実施例8と相違する点は、補助キャパシタを採用して同キャパシタを最上層の直下に形成し、上下のキャパシタを接続プラグで連結した点、及び補助キャパシタのプレート電極37を、同層に位置している論理回路の配線21と同一マスクを用い、同時に形成した点にある。本構造は、キャパシタ形成以前の第2層目の配線層18までは、実施例8と同じ製造方法によって形成され、第3層目24, 第4層目32のキャパシタは、実施例6とほぼ同じ製造方法によって形成されるので説明を省略する。

【0066】実施例6の場合と同様、工程数を増やすことなく、簡易な二層のキャパシタによる1GbitDRAMを有した論理回路混在の装置を製造することが可能となった。

【0067】<実施例13>DRAMと論理回路を混在させた半導体集積回路装置の第6の例を実施した。図18にその構造を示す。実施例12と相違する点は、最上層32のプレート電極34の凸部を化学的機械的研磨法で削った点にある。こうすることで、最上層32の段差がなくなり、その上に新たなキャパシタを形成して同キャパシタと最上層32のキャパシタとの連結が可能となる。その場合、新たなキャパシタの形成される層が最上層になる。

【0068】最上層32の上に更にキャパシタを形成して新たな最上層配線層58を形成した例を図19に示す。配線層32のプレート電極34の凸部をストレージノード27が露出するまで削り、ストレージノード27の側面に高さ方向に形成された誘電体膜をプレート電極34で挟んだ構造のキャパシタを形成した。最上層配線層58のキャパシタは、実施例8の最上層32のキャパシタと同じ手順で形成した。

【0069】なお、配線層32の上にキャパシタ追加の必要がない場合は、プレート電極34の凸部の研磨の後に最終パッシベーション膜を形成する。この場合、平坦にしてから最終パッシベーション膜を被覆するために、凸部を有したまま被覆する場合に比較して、パッシベーション性(保護特性)が向上する。

【0070】<実施例14>DRAMと論理回路を混在させた半導体集積回路装置の第7の例を実施した。図20にその構造を示した。実施例8と相違する点は、最上層32においてストレージノード27と配線26を同時

に共通に形成し、その後にプレート電極34を形成した点にある（実施例8では、ストレージノード27を先に個別に形成し、その後にプレート電極34と配線26を同時に共通に形成していた）。

【0071】キャパシタを以下の手順で形成した。

1. 下層の配線層12, 18, 24の形成法と同じ手順で、まず、窒化チタン膜を形成し、
2. その上に、アルミニウム膜を形成し、
3. 更にその上に、タングステン膜51を形成し、
4. フォトリソグラフィにより露光と現像を行なった。その際、段差が生じる下記のプレート電極34上の絶縁膜に後で接続穴を開けることがないので、焦点を配線層24の平坦化絶縁膜上に合わせるだけで良い。
5. ドライエッチングにより、配線(W/Al/TiN積層構造)を形成した。そのとき、接続プラグ25上の配線は、ストレージノード(SN)27となる。即ち、キャパシタのストレージノード27と論理回路の配線26は、同一マスクを用いて同時に形成される。
6. タングステンを堆積させ、
7. エッチバックした（エッチング速度がほぼ同じフォトリソグラフィを塗布してから、全面をエッチングしてタングステン膜51の凸部を削った）。これによりキャパシタのストレージノード27にタングステンのサイドウォール（側壁）52を形成し、ストレージノード27表面をタングステンで被覆した。タングステンをを用いたのは、キャパシタの誘電体膜と良好な接触を保ち、信頼性を向上させることを目的にした。従って、サイドウォール52とストレージノード27上部の材料はタングステンに限定することなく、信頼性が確保可能な他の材料を採用することができる。なお、用いる誘電体膜によってそれに適した材料を選択して使用した。
8. 五酸化タンタルを形成し、
9. フォトリソグラフィにより露光及び現像を行なった。その際、焦点は、平坦化した配線層24の絶縁膜上に合わせるだけで良い。
10. ドライエッチングにより、必要部以外を除去した。
11. 窒化チタン膜を形成し、
12. ドライエッチングにより、必要部以外を除去し、プレート電極(PL)34を形成した。

【0072】実施例8に比較して、1工程増えているが、ストレージノード27上部端部の曲率は、先の例より小さく、電界集中が緩和されるのでキャパシタの信頼性を向上させることができる。また、最終パッシベーション膜を堆積させる際、凹部が少し傾斜している（準テーパ化している）ため、パッシベーション膜の埋込性を向上させることが可能である。

【0073】＜実施例15＞DRAMと論理回路を混在させた半導体集積回路装置の第8の例を実施した。図21にその構造を示した。実施例8と相違する点は、最上

層34においてストレージノード27と配線26を同時に共通に形成し、その後にプレート電極34を形成した点にある。

【0074】キャパシタを以下の手順で形成した。

1. 下層の配線層12, 18, 24の形成法と同じ手順で、まず、窒化チタン膜を形成し、
2. その上に、アルミニウム膜を形成し、
3. フォトリソグラフィにより露光と現像を行ない、
4. ドライエッチングにより、配線(Al/TiN積層構造)を形成した。そのとき、接続プラグ25上の配線は、ストレージノード(SN)27となる。
5. タングステンを選択CVD法により形成して、タングステン膜51で被覆されたストレージノード27及び配線26とし、以降の工程を実施例14の工程8～12と同一とした。

【0075】実施例14との相違点は、ストレージノード27及び配線26の被覆膜の形成方法にあり、本実施例では、実施例14の工程数の低減が可能である。

【0076】

【発明の効果】本発明によれば、DRAMの装置においてメモリセルのキャパシタを最上層に形成することによってメモリセルと周辺回路の段差を解消することができる。そのため、段差によって発生していた露光不良や導通不良の問題を回避することが可能となる。また、キャパシタの投影面用にメモリセルの投影面のほぼ全面を利用することが可能となってキャパシタの投影面が広がるので、工程数を低減した簡単な構造で所望の容量値を得ることができる。更に、キャパシタのプレート電極又はストレージノードのいずれかと周辺回路の配線とを同時に共通に形成することによって、工程数の低減が可能となる。これらの工程数の低減によって、製造歩留まりの向上と低コストを実現することができる。

【0077】以上の効果は、DRAMと論理回路を混在させた装置においても同様に得ることが可能であり、同装置を低コストで供給することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路装置及び当該装置の製造方法の第1に実施例を説明するための断面構造図。

【図2】図1に示した装置の平面分解構造を説明するための平面図。

【図3】本発明の第2の実施例を説明するための断面構造図。

【図4】キャパシタのプレート電極の被覆率と α 線による不良発生率との関係を示す曲線図。

【図5】本発明の第3の実施例を説明するための断面構造図。

【図6】第3の実施例の補助キャパシタの製造工程を説明するための工程図。

【図7】本発明の第4の実施例を説明するための断面構造図。

造図。

【図 8】 本発明の第 5 の実施例を説明するための断面構造図。

【図 9】 本発明の第 6 の実施例を説明するための断面構造図。

【図 10】 第 6 の実施例の補助キャパシタの製造工程を説明するための工程図。

【図 11】 本発明の第 7 の実施例を説明するための断面構造図。

【図 12】 本発明の第 7 の実施例を説明するための断面構造図。

【図 13】 本発明の第 8 の実施例を説明するための断面構造図。

【図 14】 本発明の第 9 の実施例を説明するための断面構造図。

【図 15】 本発明の第 10 の実施例を説明するための断面構造図。

【図 16】 本発明の第 11 の実施例を説明するための断面構造図。

【図 17】 本発明の第 12 の実施例を説明するための断面構造図。

【図 18】 本発明の第 13 の実施例を説明するための断面構造図。

【図 19】 本発明の第 13 の実施例を説明するための断面構造図。

【図 20】 本発明の第 14 の実施例を説明するための断

面構造図。

【図 21】 本発明の第 15 の実施例を説明するための断面構造図。

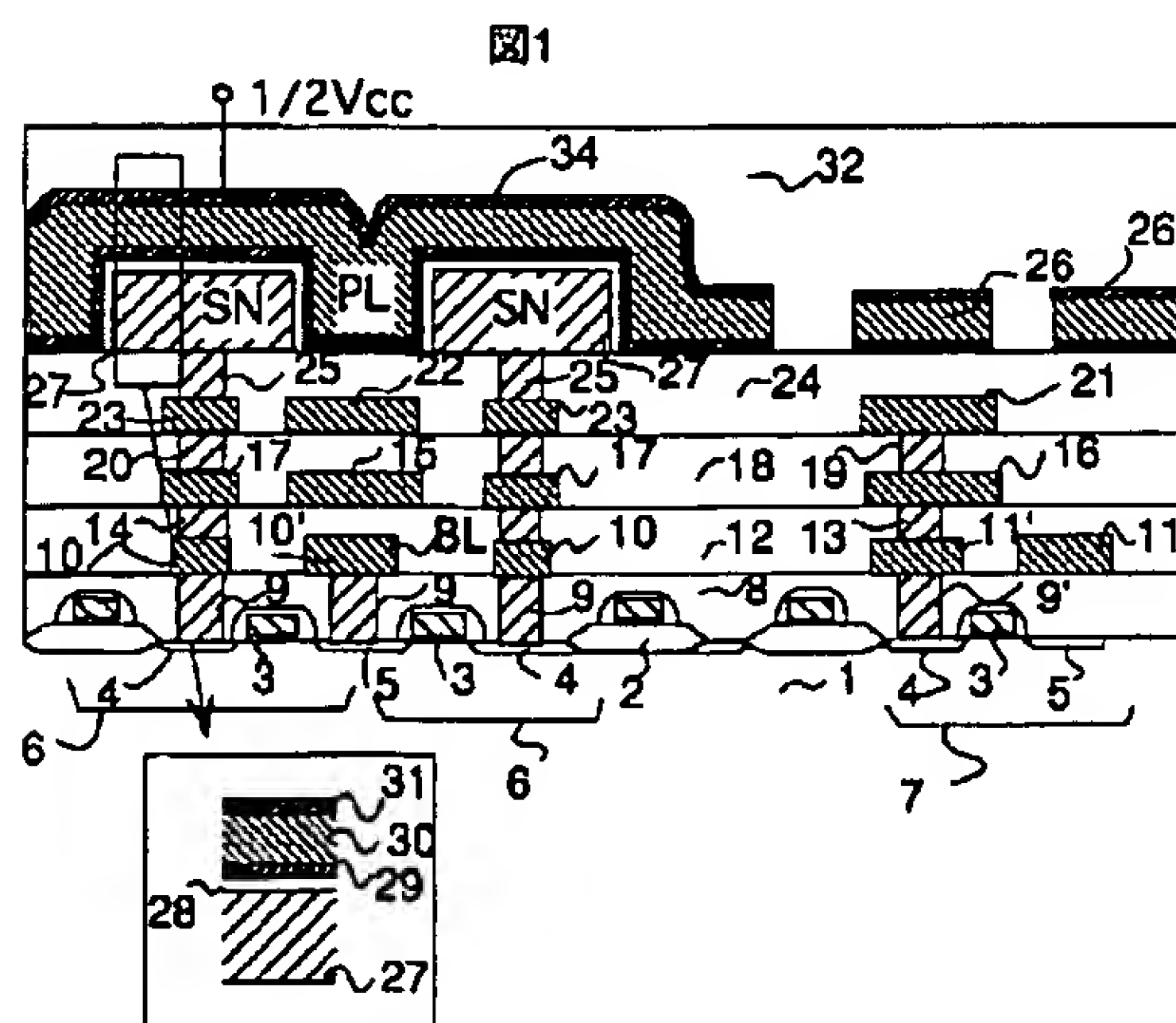
【図 22】 従来の半導体集積回路装置及び当該装置の製造方法の例を説明するための断面構造図。

【図 23】 従来の別の例を説明するための断面構造図。

【符号の説明】

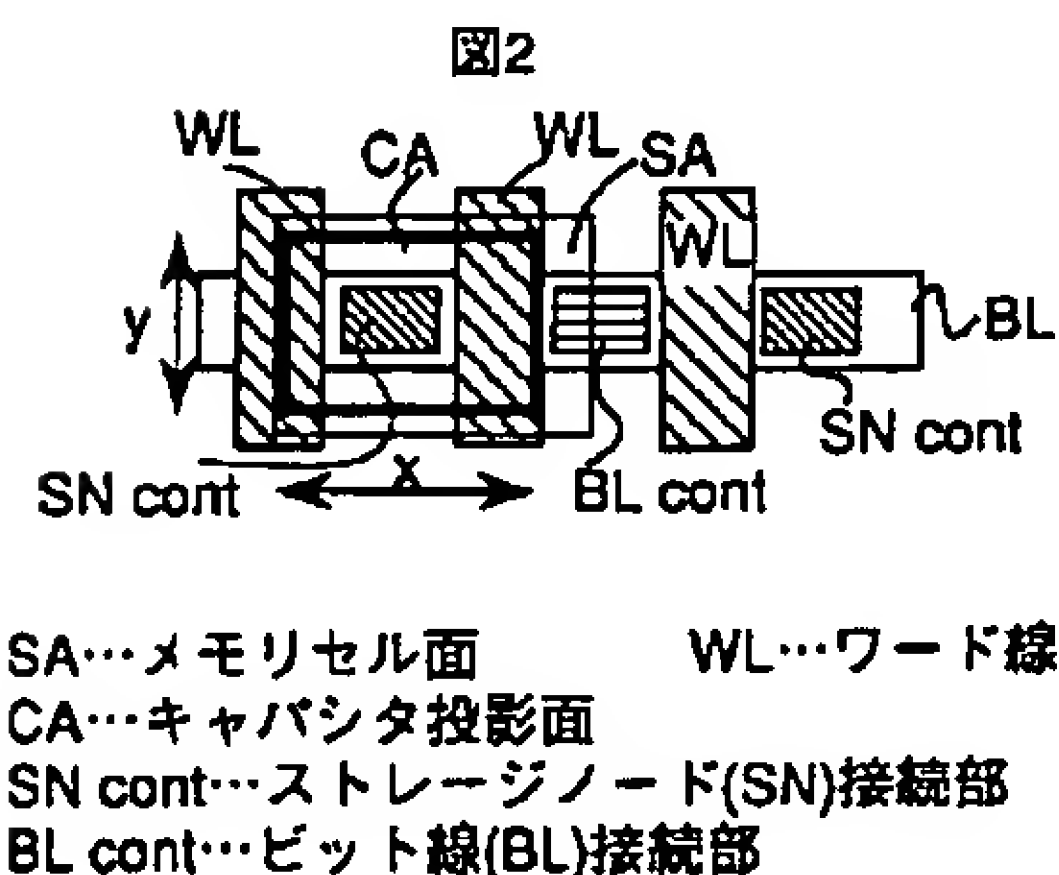
- 1…P型シリコン基板
- 2…フィールド酸化膜
- 3…ゲート電極
- 4, 5…拡散層
- 6, 7…MOS トランジスタ
- 8…パッシベーション層
- 12, 18, 32…金属配線層
- 9, 9', 13, 14, 19, 20, 25…接続プラグ
- 10, 11', 17, 23…パッド
- 10'…ビット線 (BL)
- 11, 15, 16, 21, 22, 26…配線
- 27…ストレージノード (SN)
- 28…誘電体膜
- 29, 31…窒化チタン膜
- 30…アルミニウム膜
- 34…プレート電極 (PL)
- SA…メモリセルサイズ
- CA…キャパシタサイズ

【図 1】



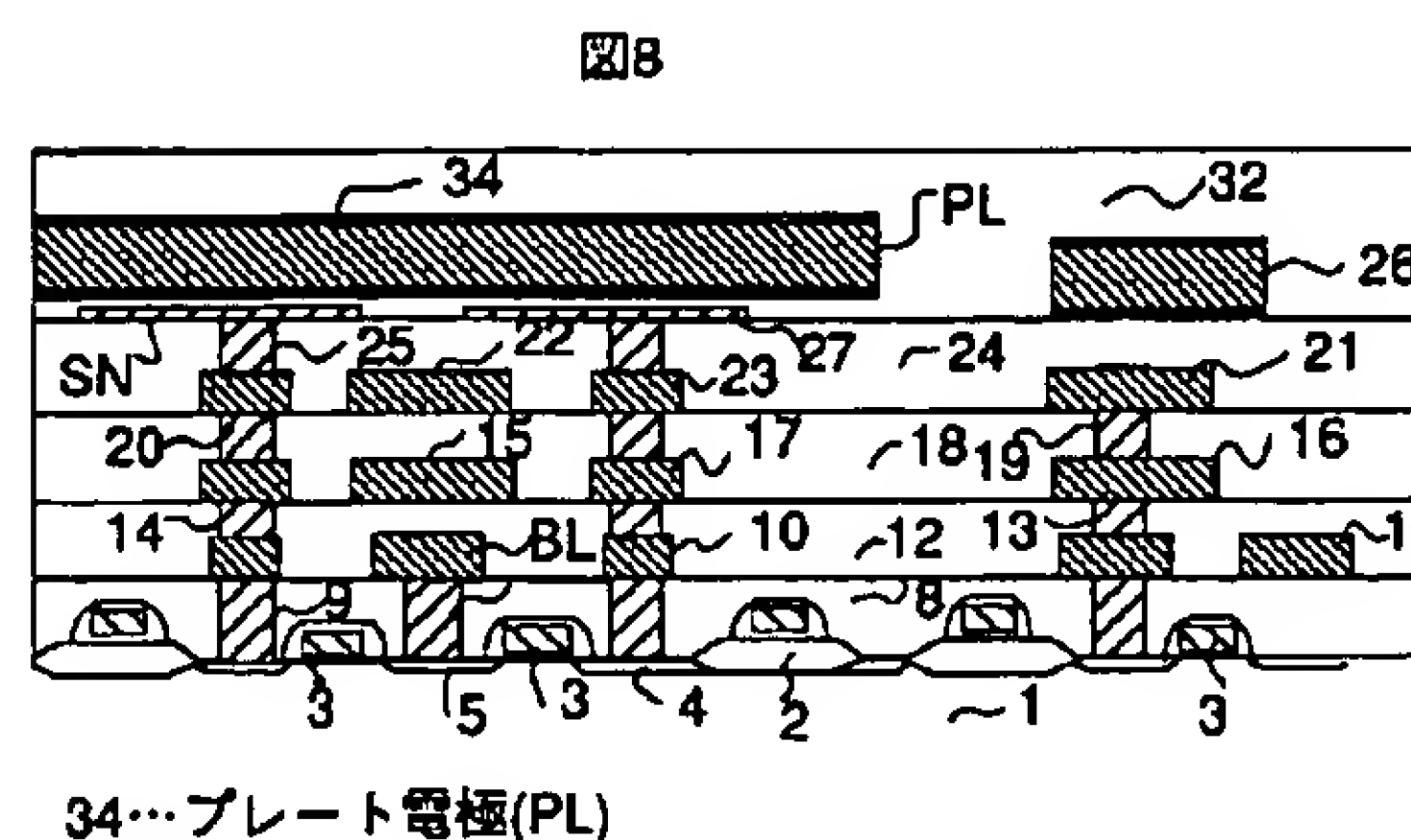
- | | |
|---------------------------------|----------------|
| 1…P型シリコン基板 | 27…ストレージノード |
| 3…ゲート電極 | 28…誘電体膜 |
| 4, 5…拡散層 | 29, 31…窒化チタン膜 |
| 6, 7…MOS トランジスタ | 30…アルミニウム膜 |
| 10'…ビット線 (BL) | 34…プレート電極 (PL) |
| 12, 18, 24, 32…金属配線 | |
| 9, 9', 13, 14, 19, 20, 25…接続プラグ | |
| 10, 11, 15, 16, 21, 22, 26…配線 | |
| 10, 11', 17, 23…パッド | |

【図 2】



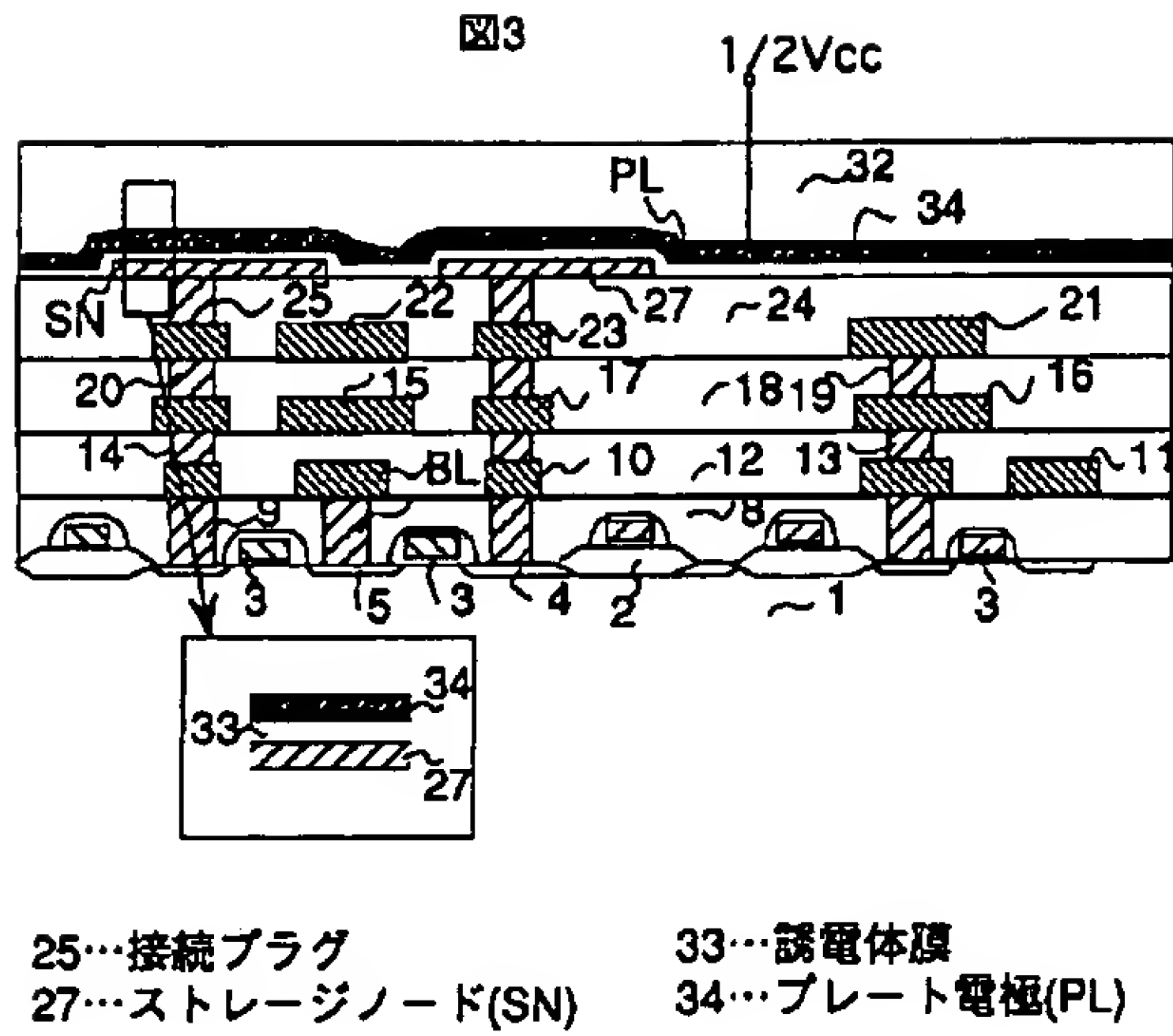
- SA…メモリセル面 WL…ワード線
CA…キャパシタ投影面
SN cont…ストレージノード(SN)接続部
BL cont…ビット線(BL)接続部

【図 8】

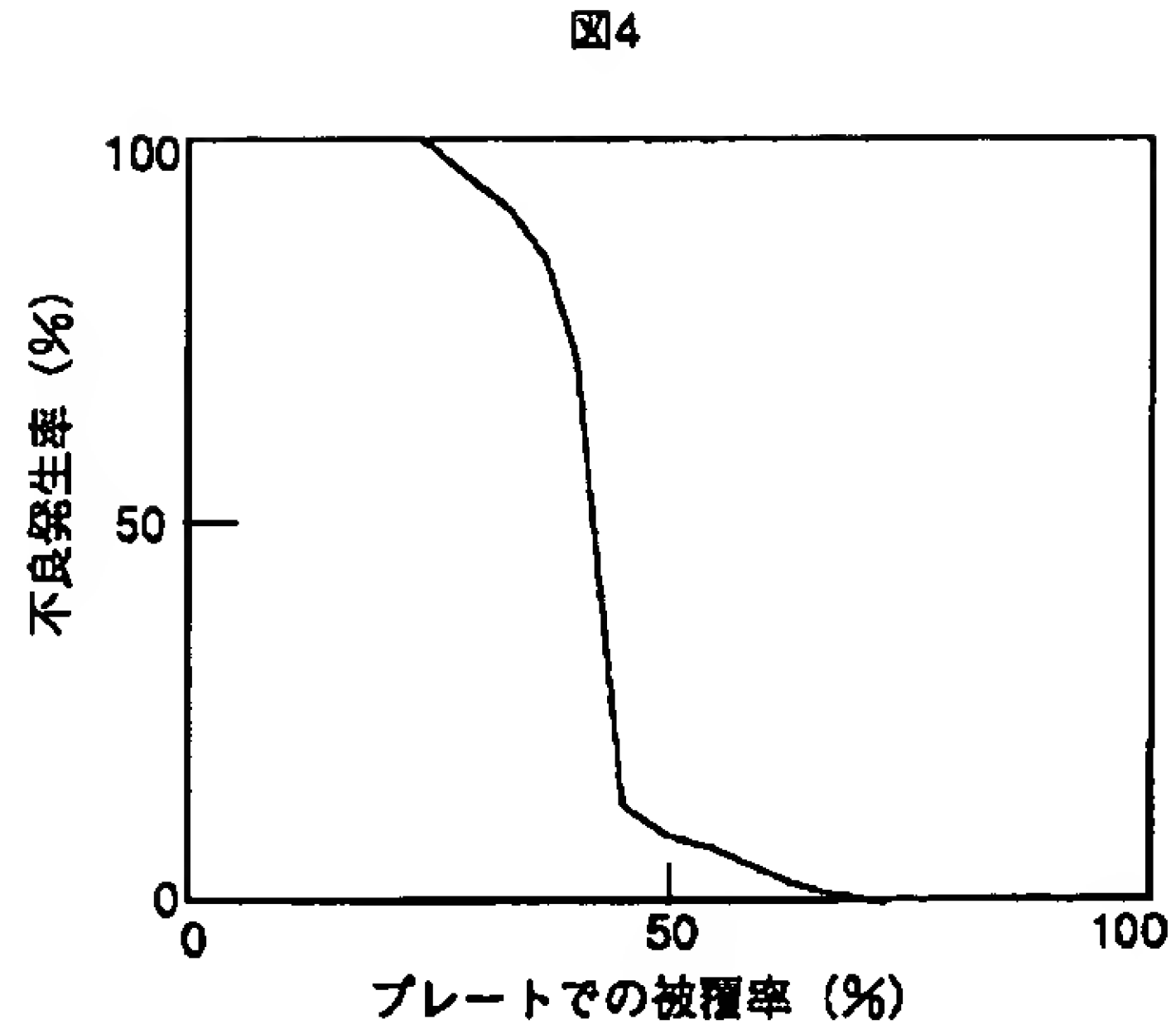


- 34…プレート電極(PL)

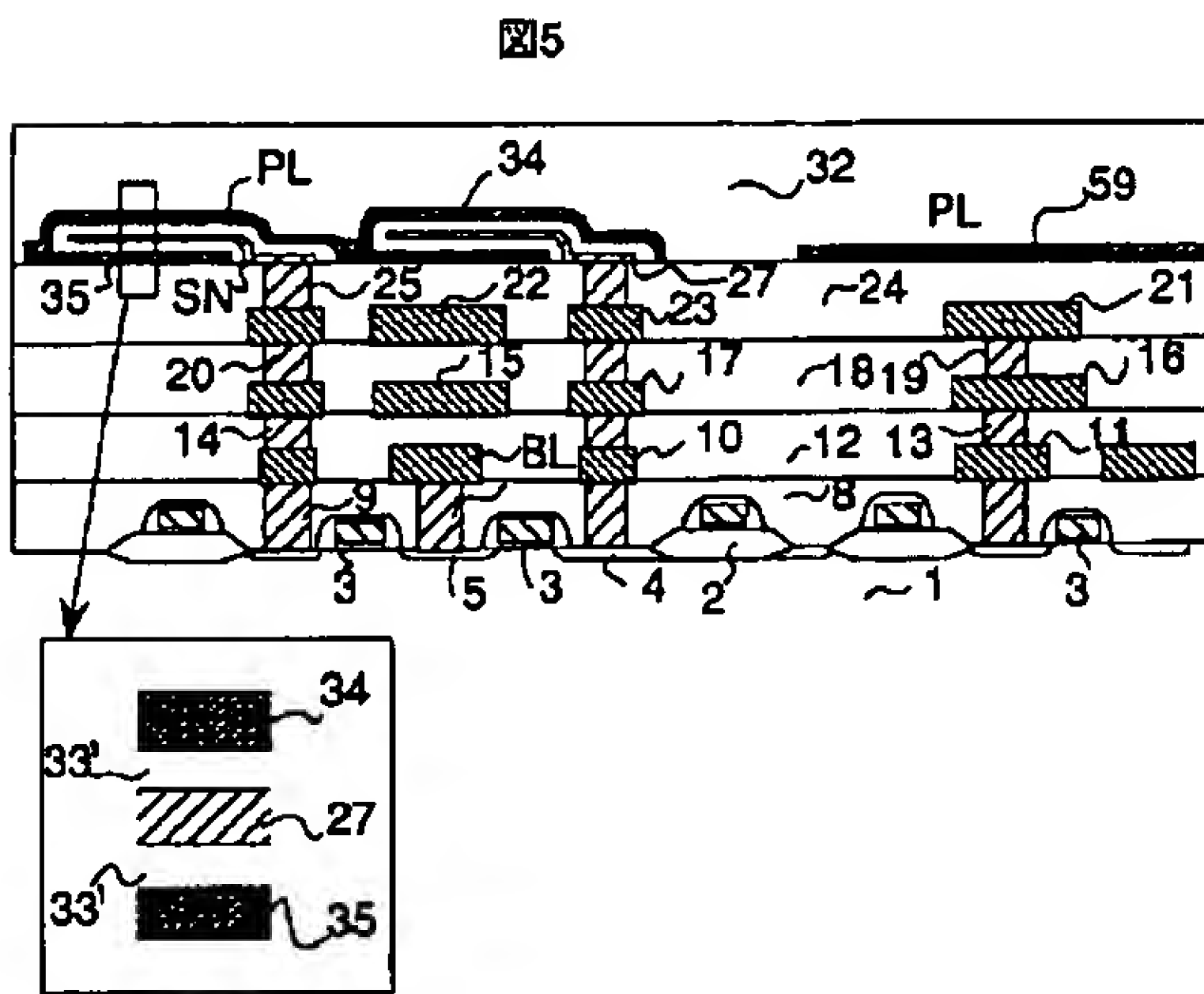
【図 3】



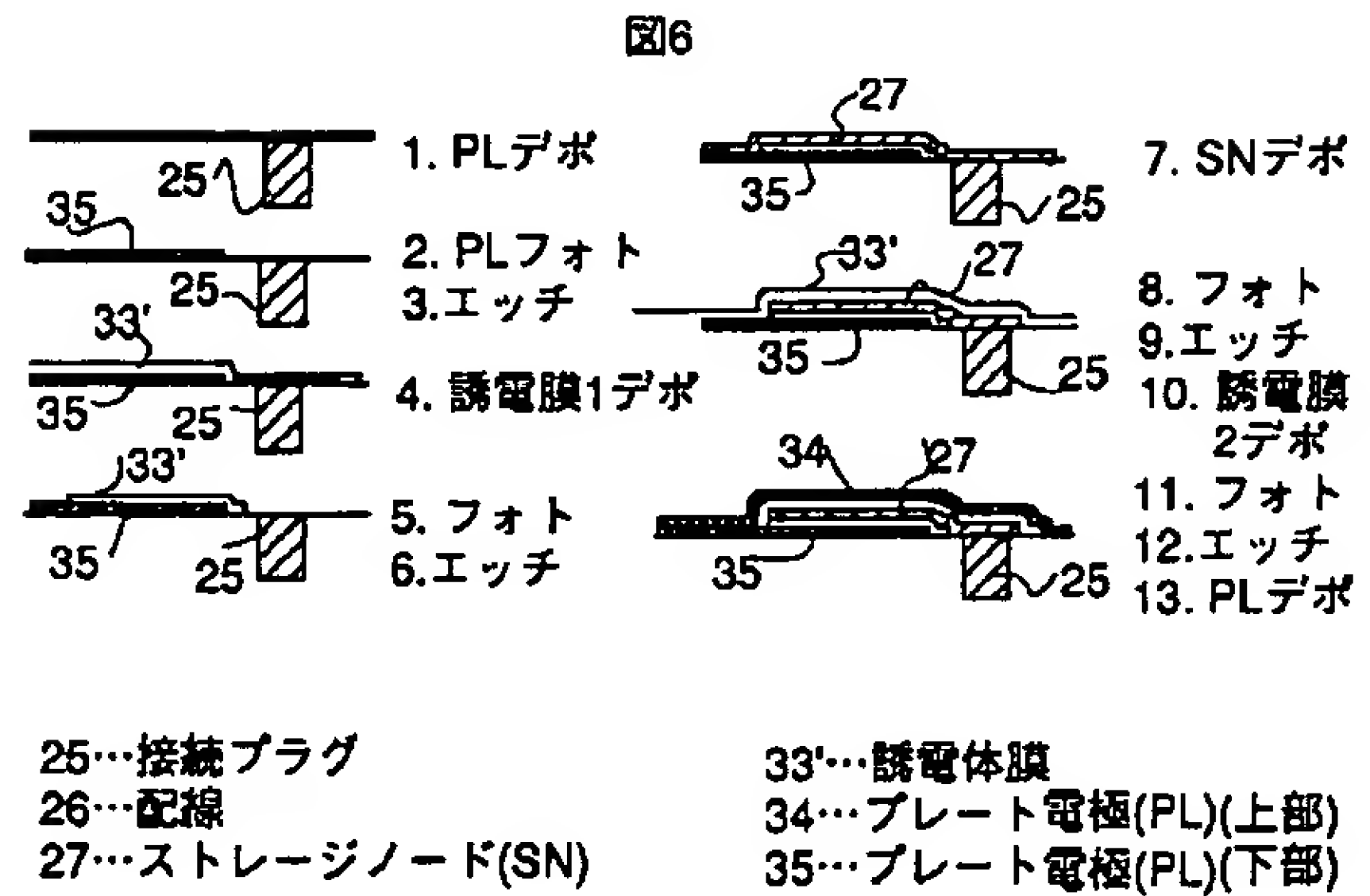
【図 4】



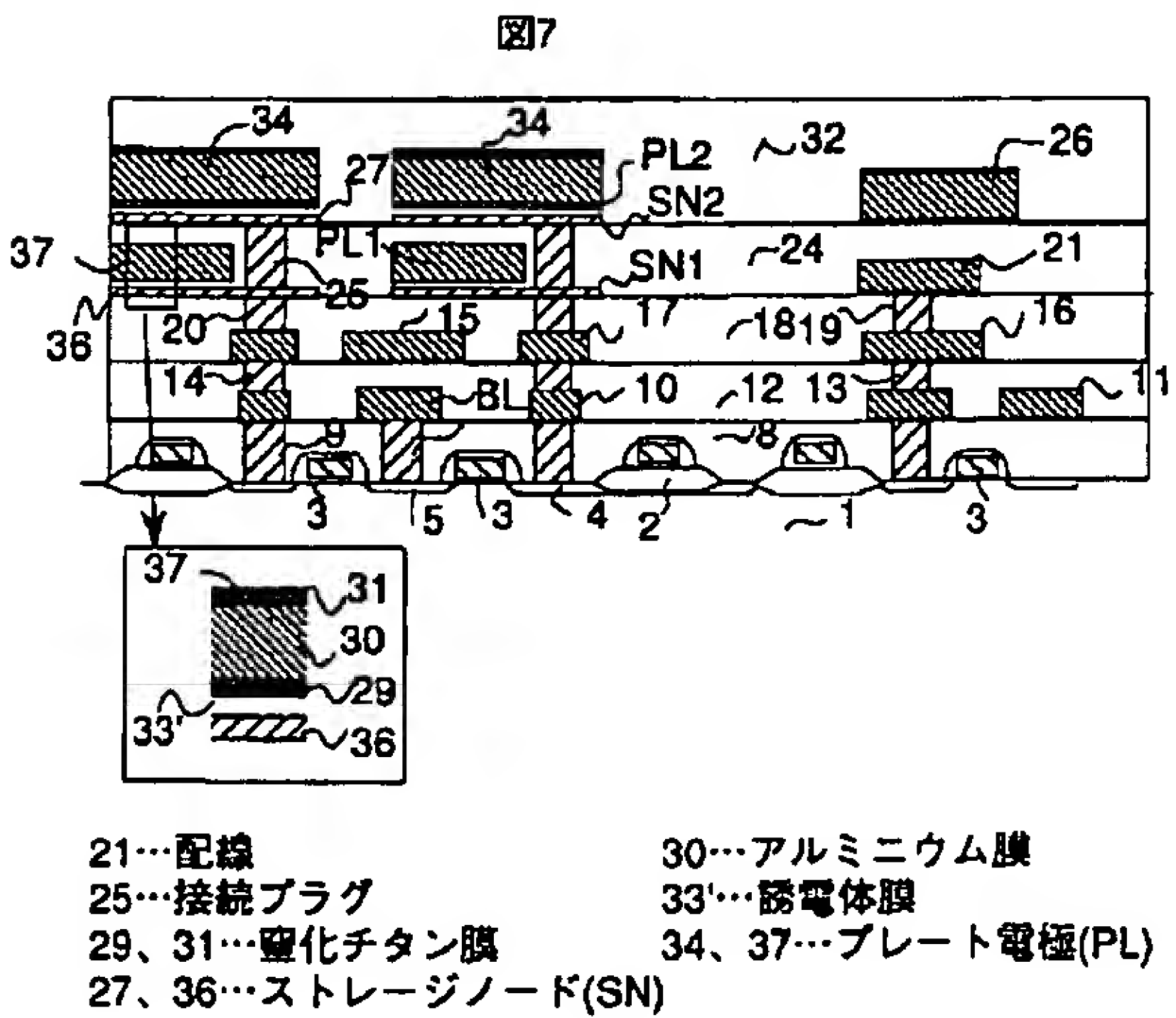
【図 5】



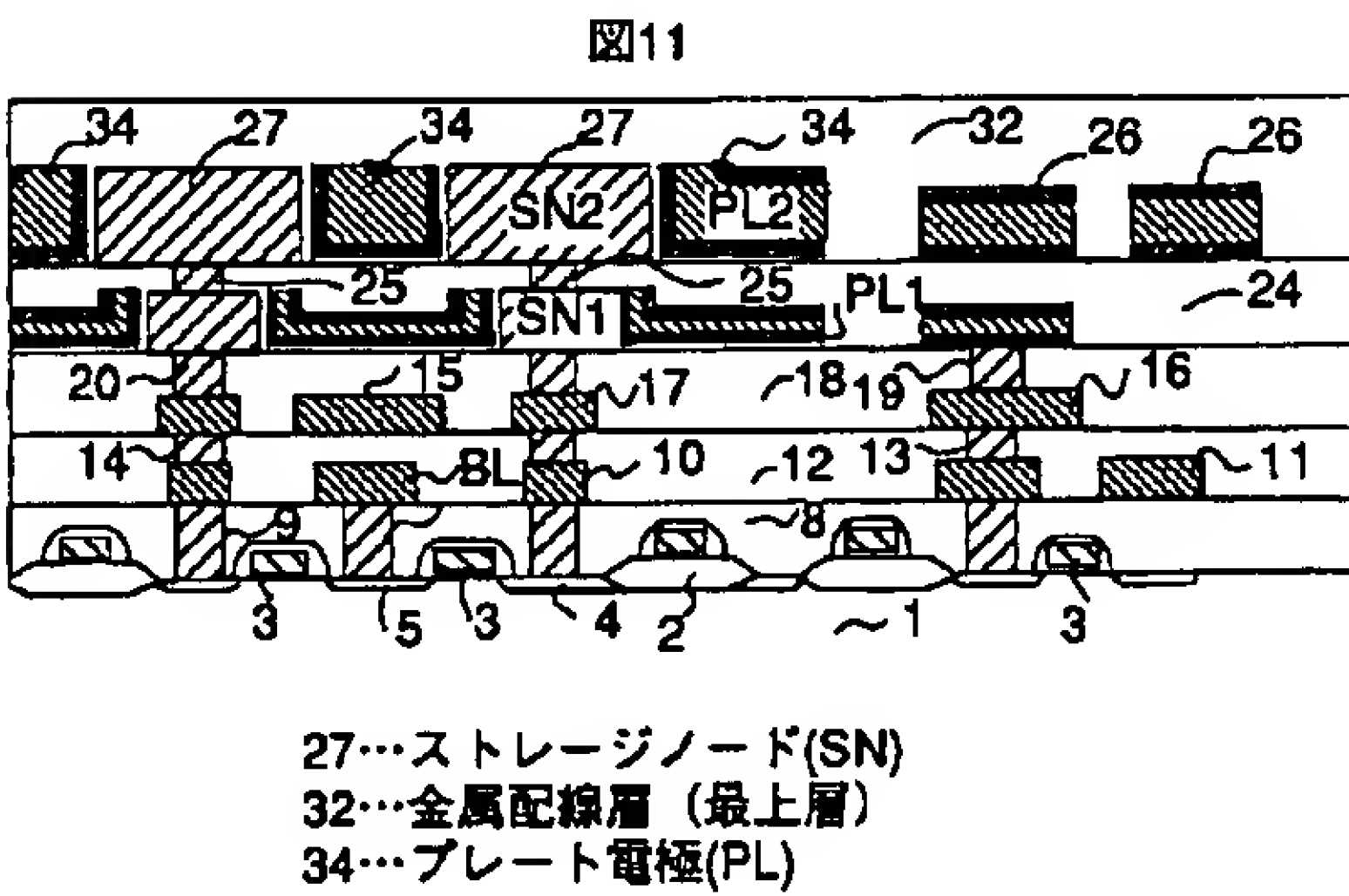
【図 6】



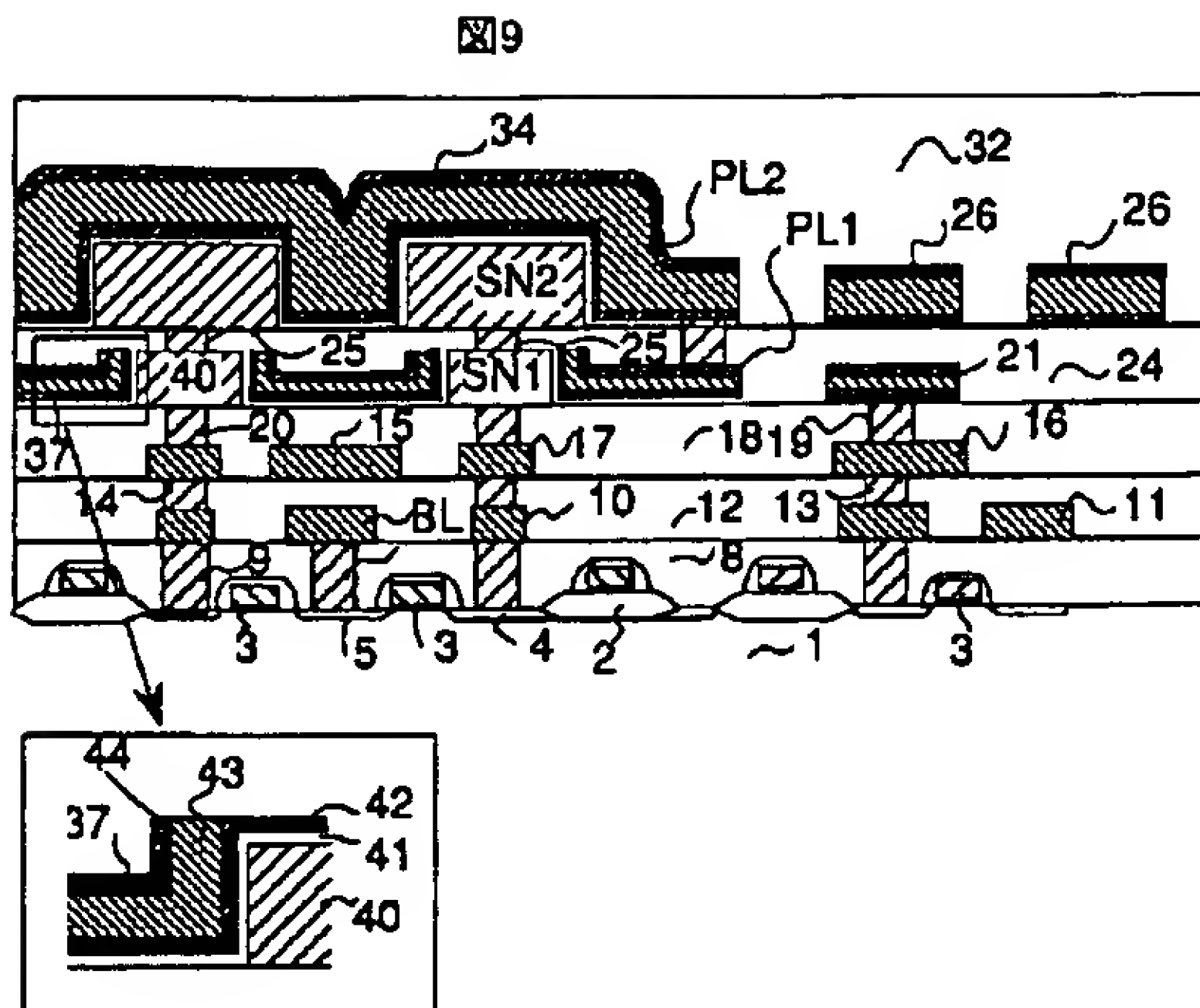
【図 7】



【図 11】

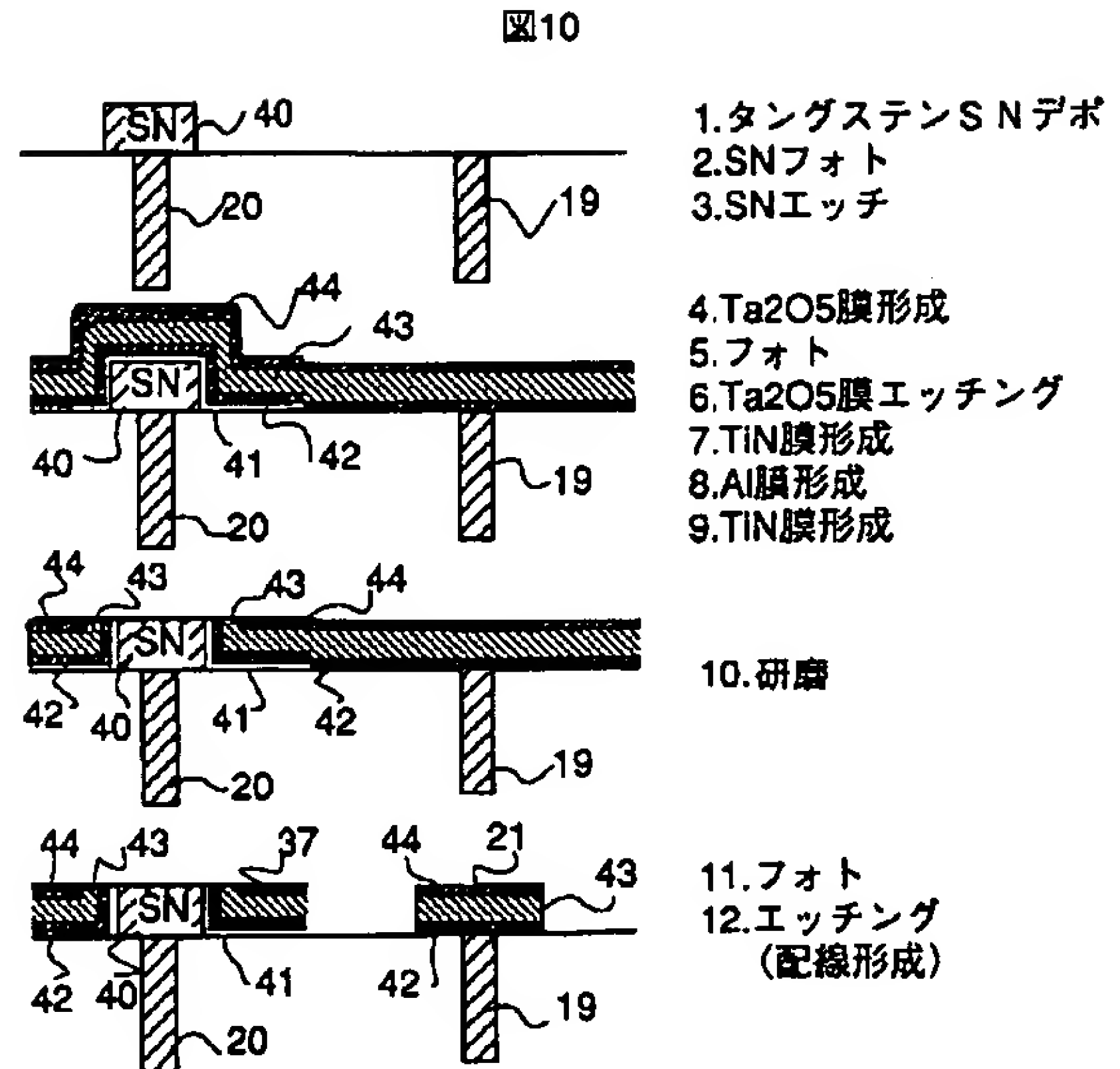


【図 9】



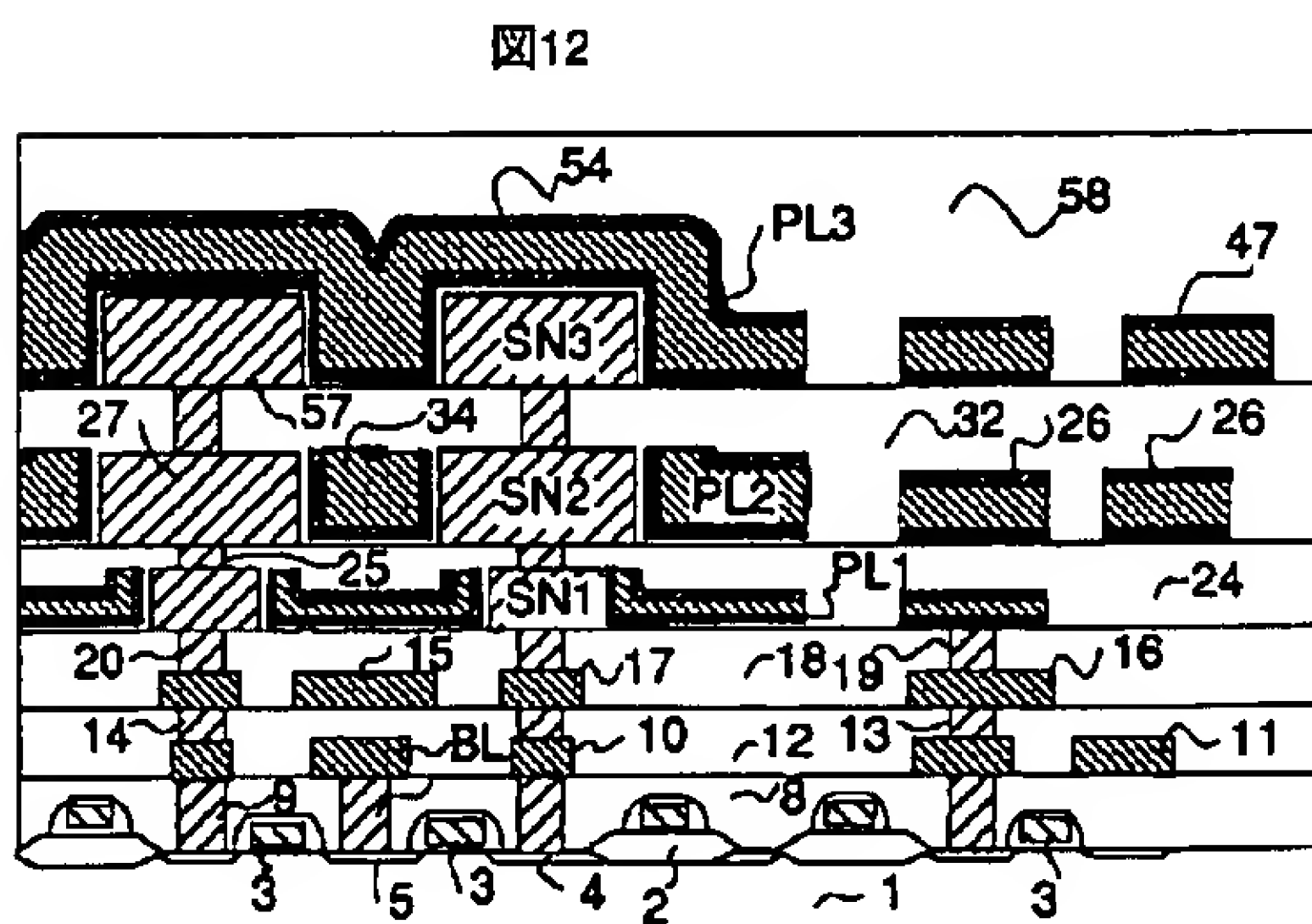
- 19、20、25…接続プラグ
21…配線
37…プレート電極(PL)
40…ストレージノード(SN)
- 41…誘電体膜
42、44…窒化チタン膜
43…アルミニウム膜

【図 10】



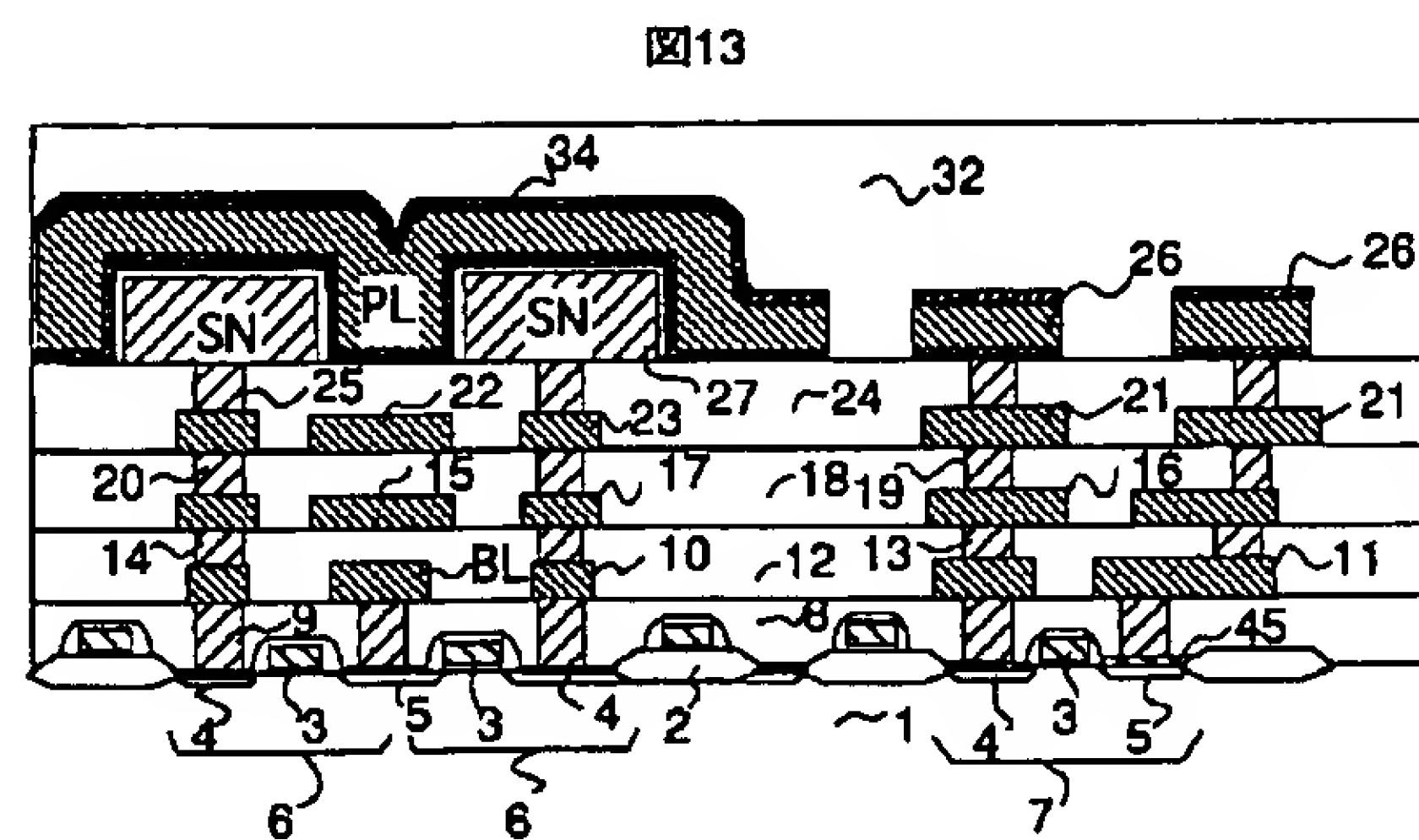
- 1.タングステンSNデポ
2.SNフォト
3.SNエッチ
4.Ta2O5膜形成
5.フォト
6.Ta2O5膜エッチング
7.TiN膜形成
8.Al膜形成
9.TiN膜形成
10.研磨
11.フォト
12.エッチング
(配線形成)
- 19、20…接続プラグ
21…配線
37…プレート電極(PL)
40…ストレージノード(SN)
- 41…誘電体膜
42、44…窒化チタン膜
43…アルミニウム膜

【図 12】



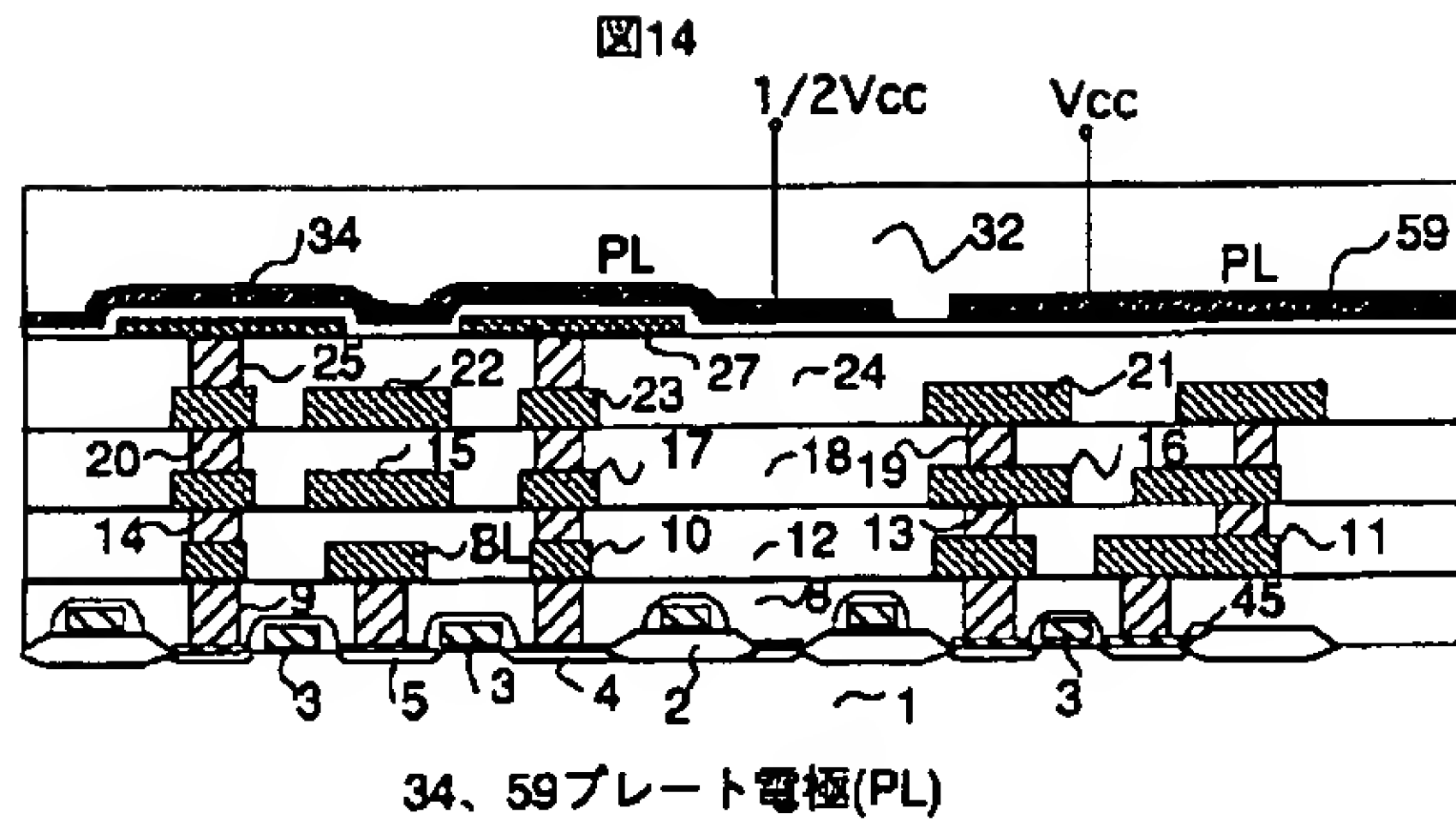
- 27、57…ストレージノード(SN)
32…金属配線層
58…金属配線層 (最上層)
34、54…プレート電極(PL)

【図 13】

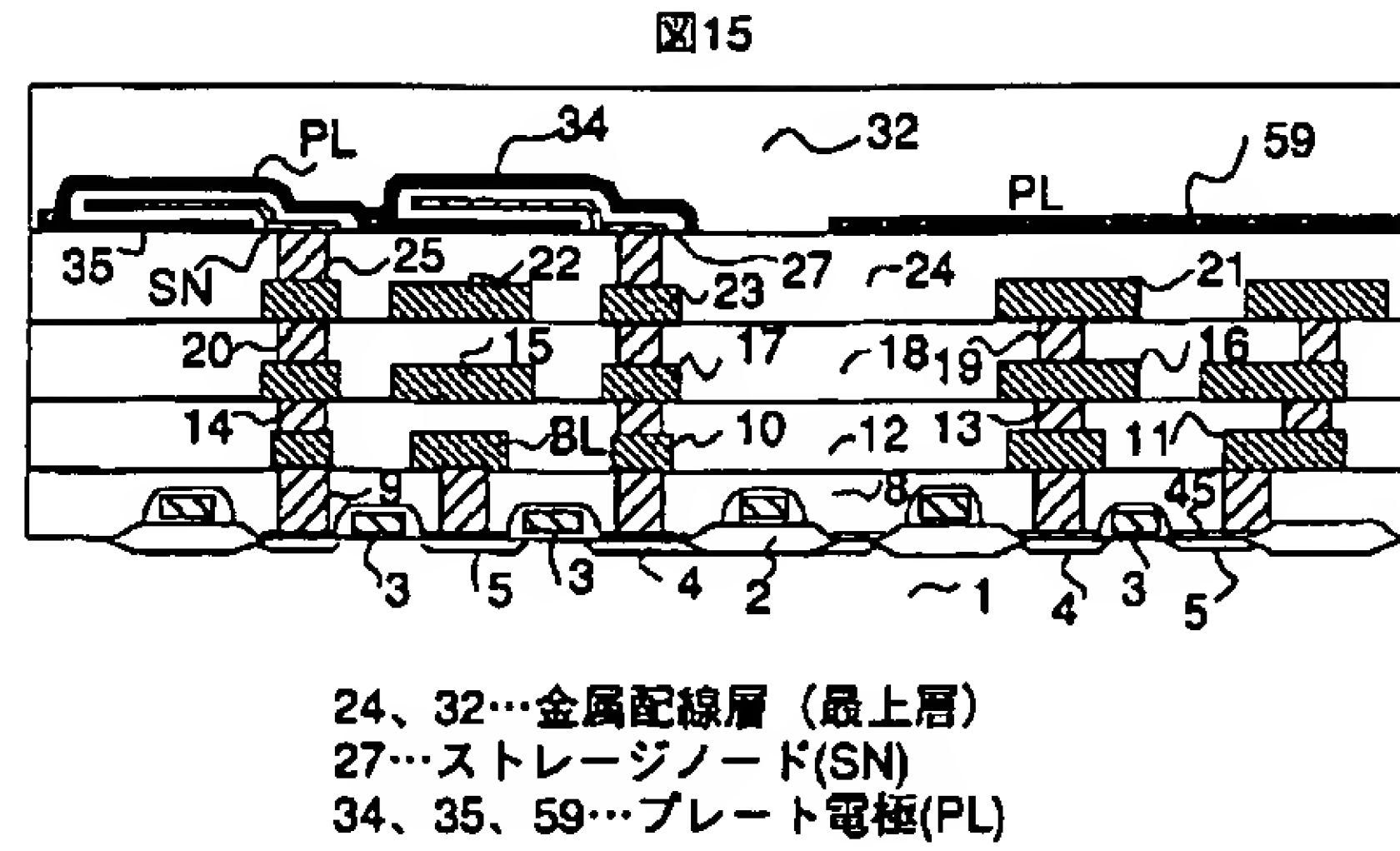


- 4、5…拡散層
6、7…MOSトランジスタ
26…配線
45…タングステン膜

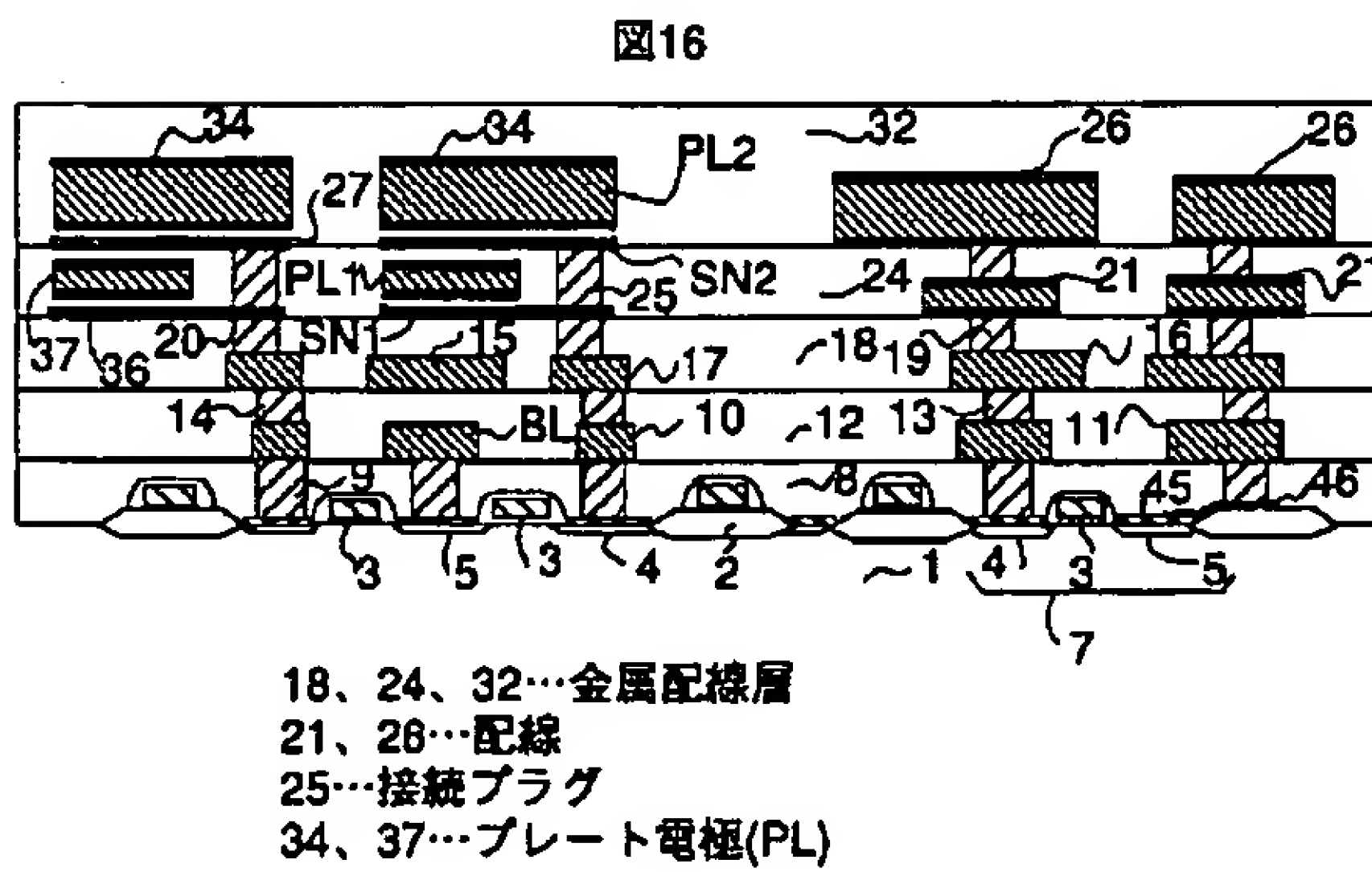
【図 1 4】



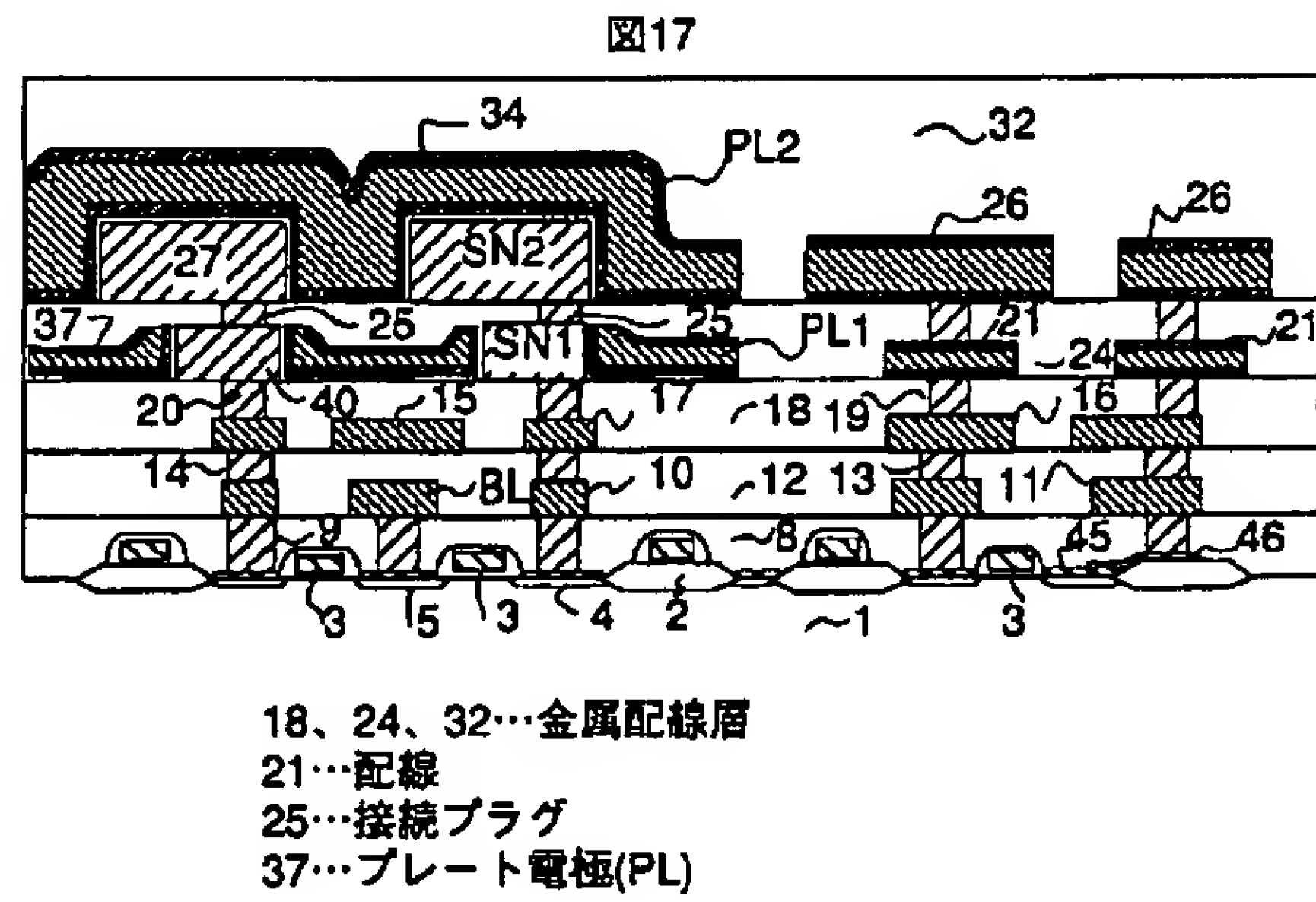
【図 1 5】



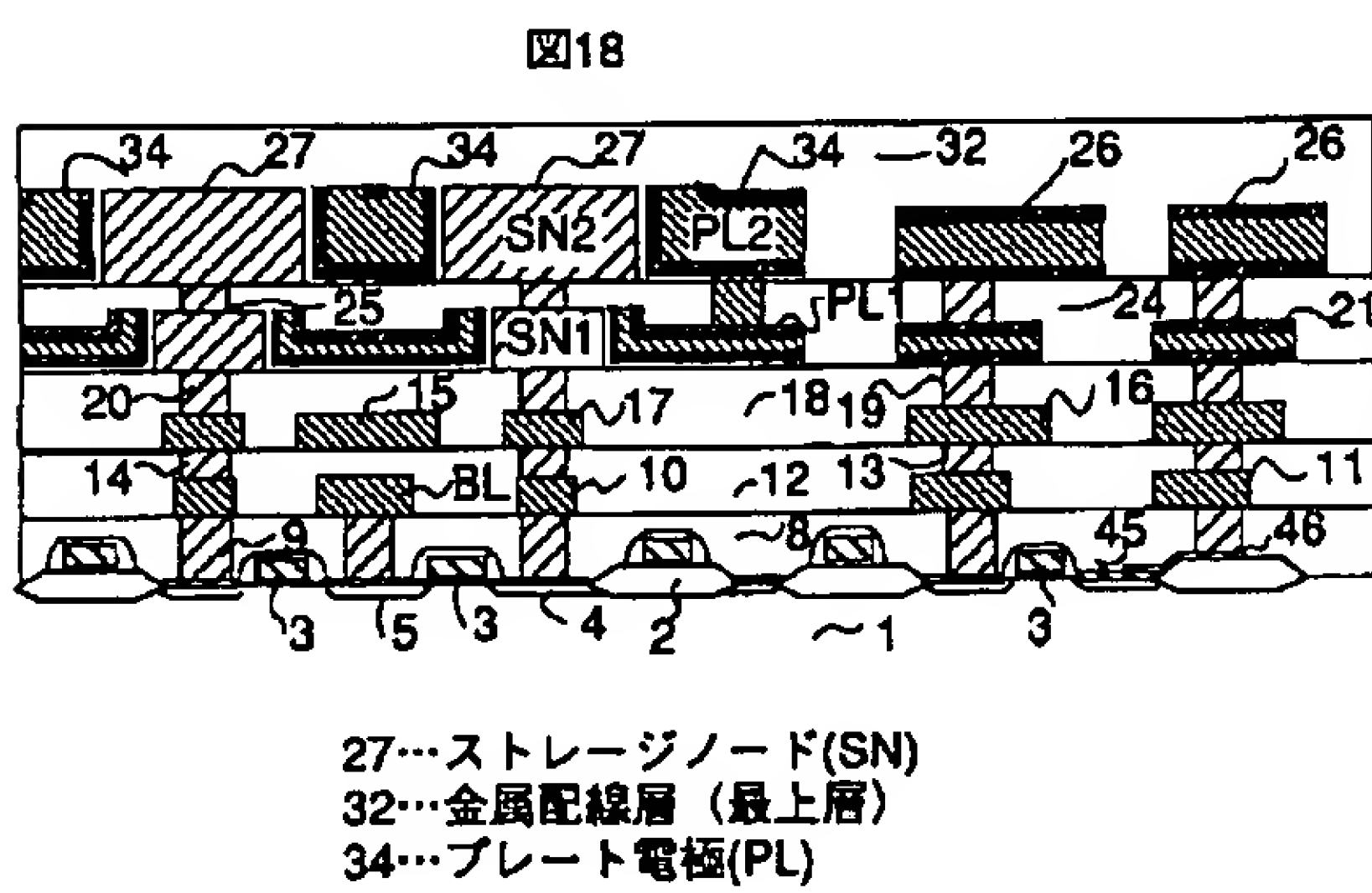
【図 1 6】



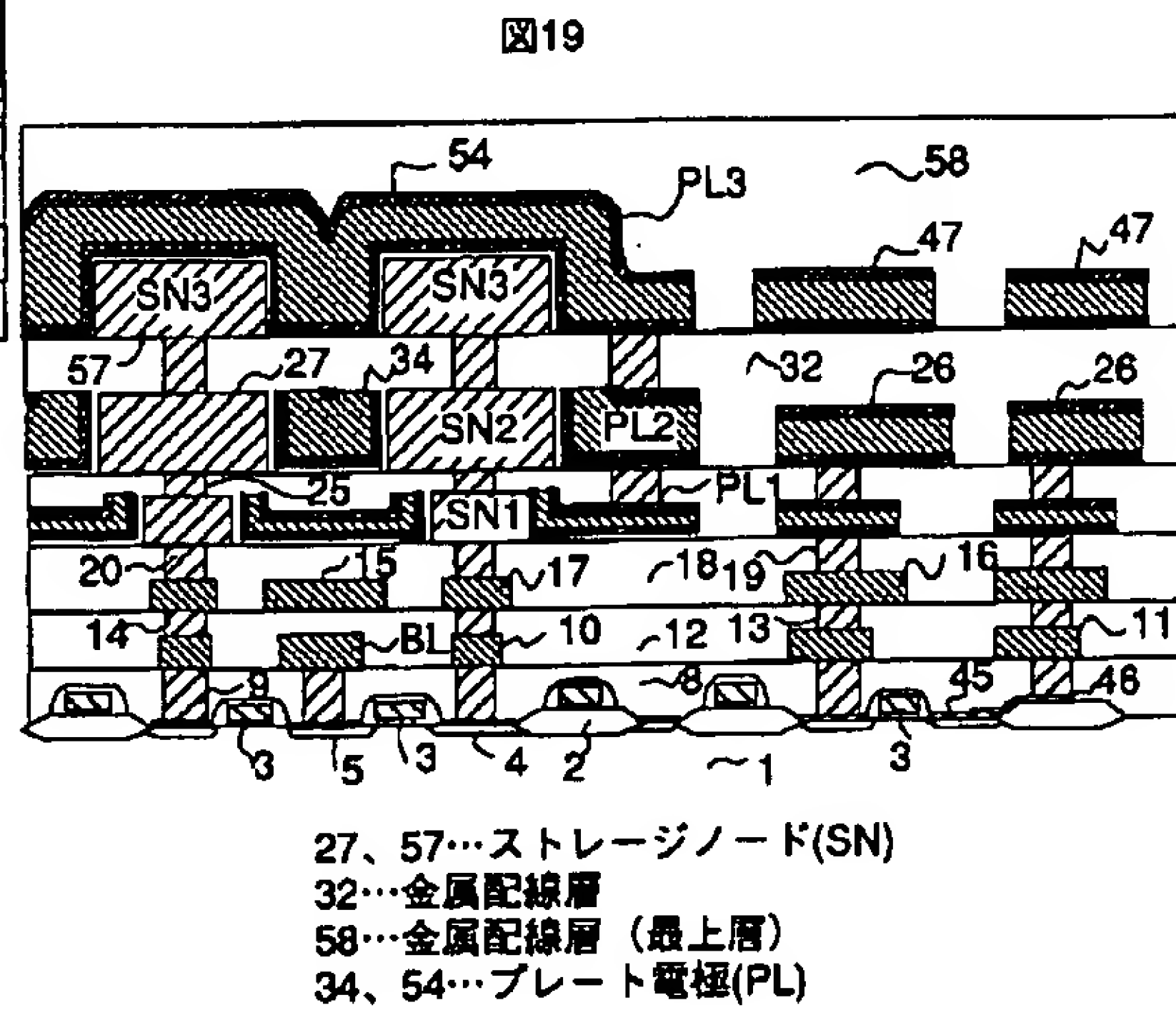
【図 1 7】



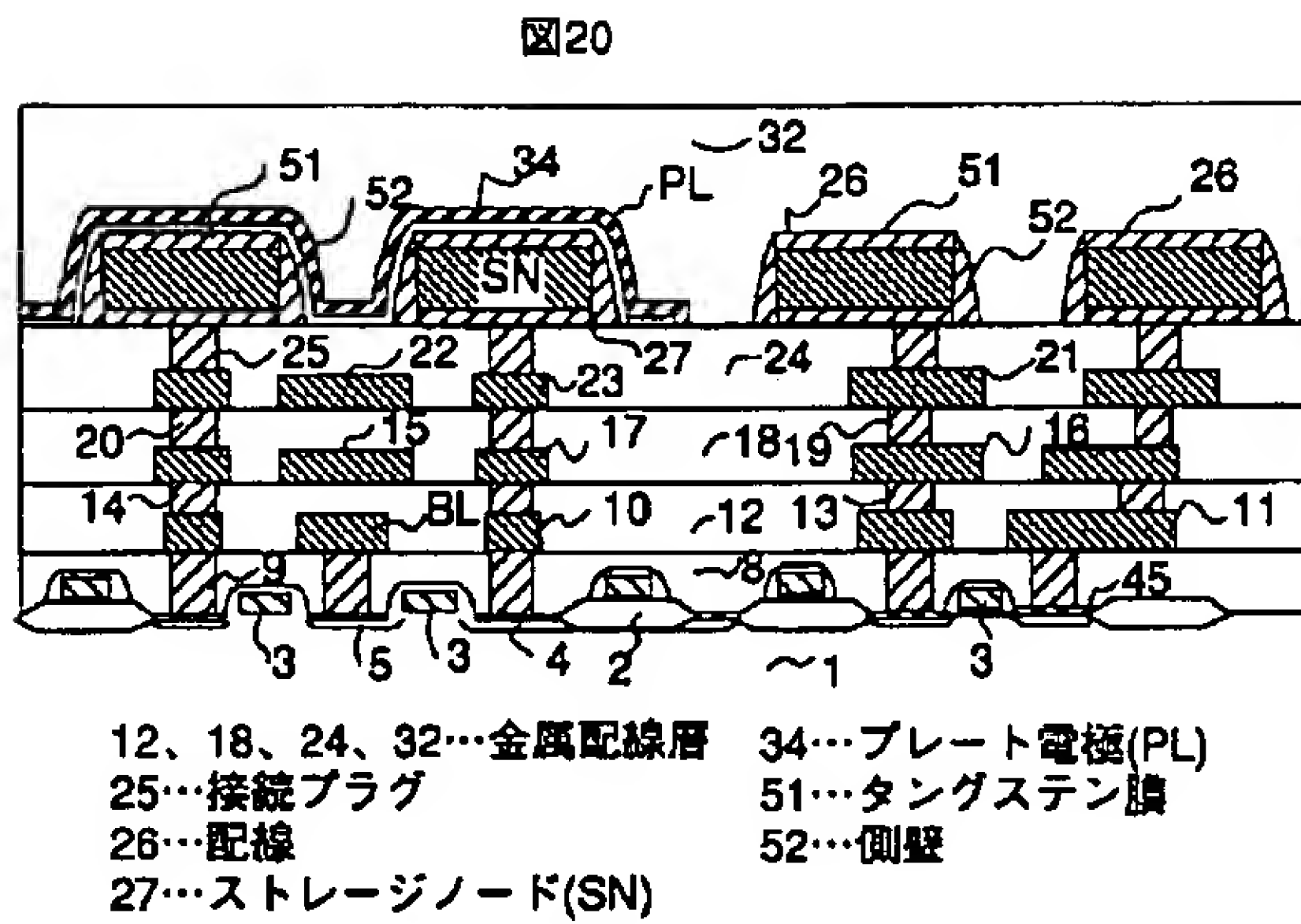
【図 1 8】



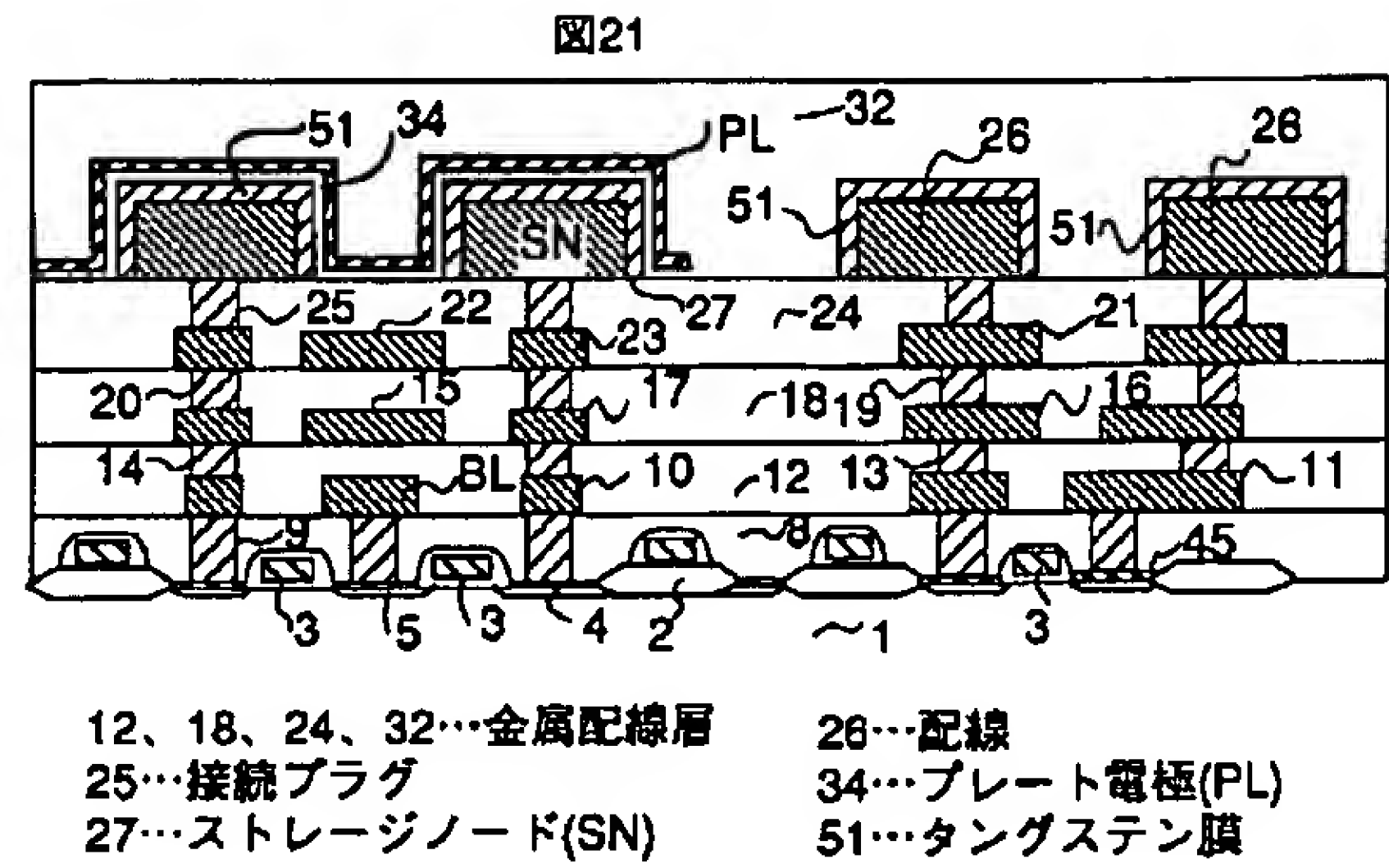
【図 1 9】



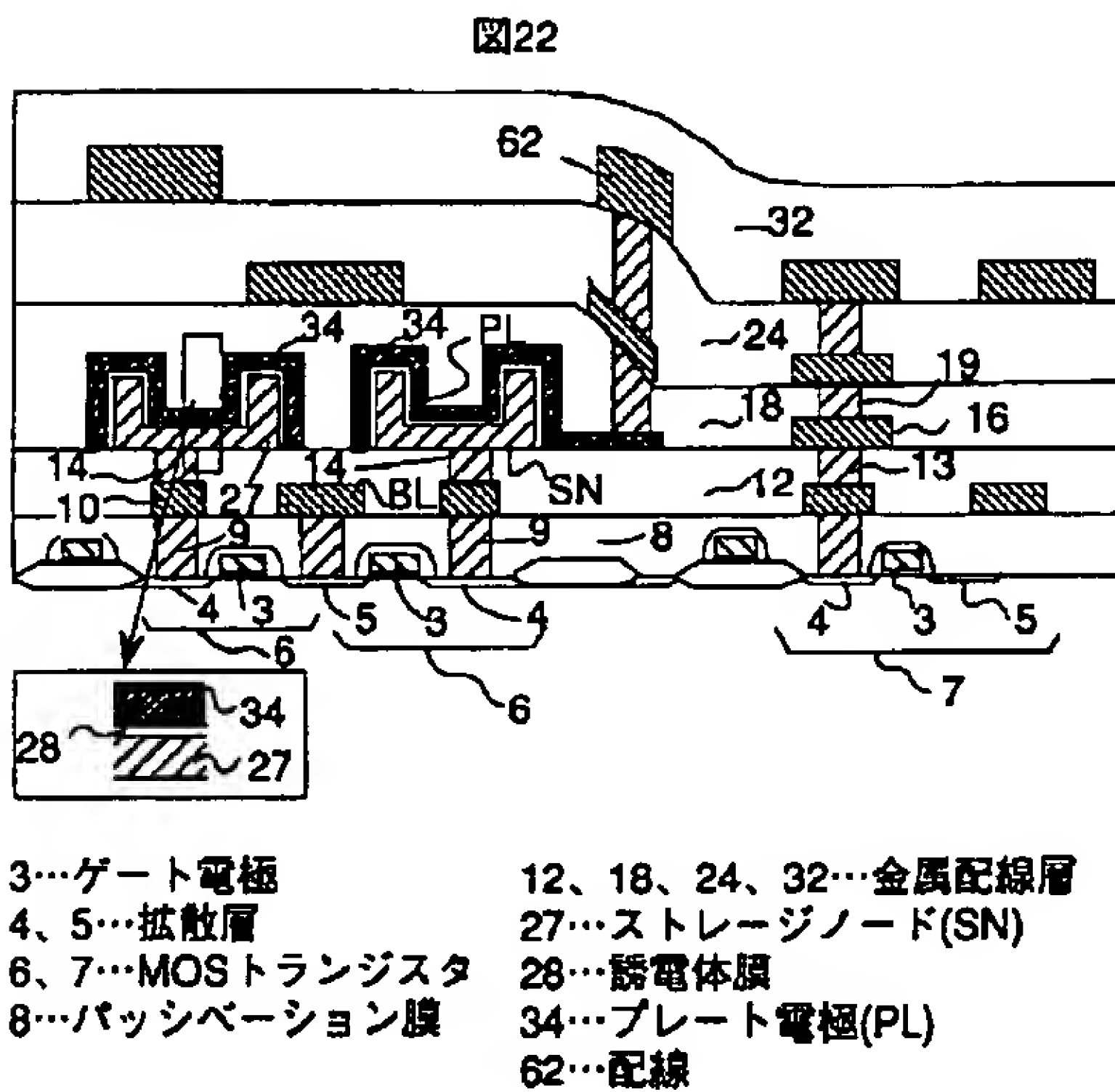
【図20】



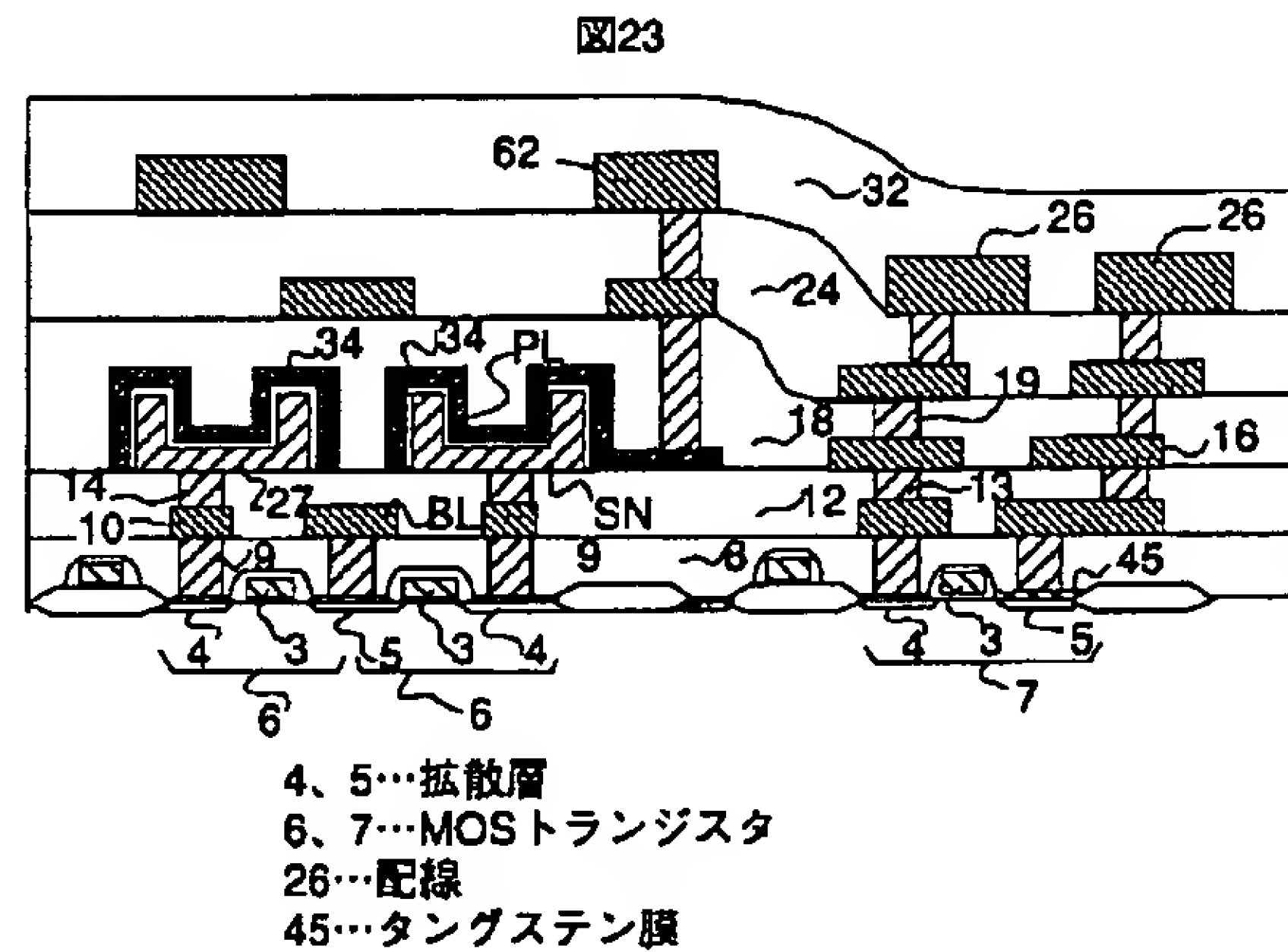
【図21】



【図22】



【図23】



フロントページの続き

(72)発明者 齊藤 政良
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 深田 晋一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 川本 佳史
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内